T-Engine 拡張ボード設計ガイドライン

Ver. 1.00.01

TEF010-S008-01.00.01/ja

2009 年 6 月

T-Engineフォーラム

http://www.t-engine.org/

目次

■ 第１章 はじめに 5
１．１．本書の位置づけ 5
■ 第２章 T-Engine のハードウェア 6
２．１．T-Engine のハードウェア概要 6
２．２．T-Engine の拡張コネクタ 8
２．３.T-Engine の拡張バスの分類 10
２．４.T-Engine によるハードウェア開発 11
■ 第３章 SH7727/SH7720/SH7760/SH7780 T-Engine 拡張ボード設計ガイド 17
３．１．SH77XX T-Engine 拡張コネクタ仕様 17
３．２．拡張コネクタ信号配置 18
３．３．拡張ボードを拡張できるエリア 19
３．４．拡張ボードへの電源供給 22
３．５．拡張ボードからの割り込み入力 23
３．６．拡張ボードのスタック数 24
３．７．/WAIT 入力 24
３．８．AC タイミングについて 25
■ 第４章 SH7751R T-Engine 拡張ボードガイド 27
４．１．拡張コネクタ仕様 27
４．２．拡張コネクタ信号配置 28
４．３．拡張ボードを拡張できるエリア 29
４．４．拡張ボードへの電源供給 30
４．５．拡張ボードからの割り込み入力 30
４．６．拡張ボードのスタック数 31
４．７．拡張ボードの IORDY 出力 32
４．８．AC タイミングについて 33
■ 第５章 SH7145 μT-Engine 拡張ボード設計ガイド 35
５．１．SH7145μT-Engine 拡張コネクタ仕様 35
５．２．拡張コネクタ信号配置 36
５．３．拡張ボードを拡張できるエリア 37
５．４．拡張ボードへの電源供給 38
５．５．拡張ボードからの割込み入力 39
５．６．拡張ボードのスタック数 40
５．７．/WAIT 入力 40
■ 第６章 M32104／M32192μT-Engine 拡張ボード設計ガイド 41
６．１．M32104／M32192μT-Engine 拡張コネクタ仕様 41
６．２．拡張コネクタの信号配置 43
６．３．拡張できるエリア 48
６．４．拡張ボードへの電源供給 50
６．５．拡張ボードからの割込み入力 51

６．６．EXREADY#入力 51
■ 第７章 VR5500 T-Engine 拡張ボード設計ガイド 52
７．１．T-Engine 拡張コネクタ仕様 52
７．２．拡張コネクタ信号配置 53
７．３．拡張ボードを拡張できるエリア 54
７．４．拡張ボードへの電源供給 55
７．５．拡張ボードからの割込み入力 55
７．６．拡張ボードのスタック数 56
７．７．/WAIT 入力 56
７．８．AC タイミングについて 57
■ 第８章 VR4131 μT-Engine 拡張ボード設計ガイド 60
８．１．μT-Engine 拡張コネクタ仕様 60
８．２．拡張コネクタ信号配置 61
８．３．拡張ボードを拡張できるエリア 62
８．４．拡張ボードへの電源供給 63
８．５．拡張ボードからの割込み入力 63
８．６．拡張ボードのスタック数 64
８．７．/WAIT 入力 64
８．８．AC タイミングについて 65
■ 第９章 V850E/MA3 μT-Engine 拡張ボード設計ガイド 68
９．１．μT-Engine 拡張コネクタ仕様 68
９．２．拡張コネクタ信号配置 69
９．３．拡張ボードを拡張できるエリア 70
９．４．拡張ボードへの電源供給 72
９．５．拡張ボードからの割込み入力 72
９．６．拡張ボードのスタック数 73
９．７．/WAIT 入力 73
９．８．AC タイミングについて 74
■ 第１０章 ARM T-Engine 拡張ボード設計ガイド 77
１０．１．T-Engine 拡張コネクタ仕様 77
１０．２．拡張ボードの基板サイズ 78
１０．３．拡張コネクタの実装方向 79
１０．４．拡張コネクタ信号配置 80
１０．５．拡張ボードを拡張できるエリア 81
１０．６．拡張ボードへの電源供給 82
１０．７．拡張ボードからの割込み入力 82
１０．８．拡張ボードのスタック数 82
１０．９．EXT_WAIT#入力 83
１０．１０．AC タイミングについて 84

■ 第１１章 TX4956 T-Engine 拡張ボード設計ガイド 86
１１．１．T-Engine 拡張コネクタ仕様 86
１１．２．拡張コネクタ信号配置 87
１１．３．拡張ボードを拡張できるエリア 88
１１．４．拡張ボードへの電源供給 89
１１．５．拡張ボードからの割込み入力 89
１１．６．拡張ボードのスタック数 90
１１．７．/WAIT 入力 90
１１．８．AC タイミングについて 91
■ 第１２章 Nios Ⅱμ T-Engine 拡張ボード設計ガイド 94
１２．１．μT-Engine 拡張コネクタ仕様 94
１２．２．拡張コネクタ信号配置 96
１２．３．拡張ボードの基板サイズ 98
１２．４．拡張ボードへの電源供給 98
１２．５．拡張ボードのスタック数 98
■ 第１３章 Ansel-Tea/FR T-Engine Appliance 拡張ボード設計ガイド 99
１３．１．T-Engine 拡張コネクタ仕様 99
１３．２．拡張コネクタ信号配置 100
１３．３．拡張ボードを拡張できるエリア 101
１３．４．拡張ボードへの電源供給 102
１３．５．拡張ボードからの割込み入力 103
１３．６．拡張ボードのスタック数 104
１３．７．/WAIT 入力 104
１３．８．AC タイミングについて 105

■ 第１章 はじめに

１．１．本書の位置づけ

本設計ガイドは、T-Engine をベースにハードウェアを拡張してシステムを構築する方を対象に、標準 T-Engine、μT-Engine の外部拡張コネクタを経由して接続される拡張ボードの設計指針を説明します。

第 2 章では、拡張コネクタの物理的な仕様、キーイングなどの共通部分と、T-Engine の拡張コネクタの信号アサインの分類について説明します。

第 3 章以降では、それぞれの T-Engine の製品ごとに、拡張コネクタの個別の設計手法について説明します。

■ 第２章 T-Engine のハードウェア

２．１．T-Engine のハードウェア概要

T-Engine フォーラムでは、組込み向けリアルタイム OS である T-Kernel の「強い標準化」により、ミドルウェアの流通を可能にし、組込みシステムの開発効率向上を目指してきました。T-Kernel を用いた組込みシステムの標準開発プラットフォームとして、標準 T-Engine とμT-Engine を規格化し、ARM や MIPS、SH、M32R、FR などの様々な CPU コアを用いた製品が数多く製品化されています。

標準 T-Engine、μT-Engine は、ハードウェアを拡張するための拡張コネクタを備えており、拡張ボードをここに接続することで任意のシステムを構築することができます。

T-Engine の拡張コネクタには、基本的に搭載された CPU のバスが出力されます。T-Engine の規格では、拡張コネクタの信号アサインは規定されません。CPU のバスは、そのメーカーや品種により特色があります。一つのバス規格に規定してしまうと、異なるバスプロトコルを持った製品の性能を制限してしまうばかりか、将来新しいアーキテクチャの CPU が出現したときに対応できず規格が陳腐化してしまうからです。品種により最適な信号をアサインすることで、その CPU の性能をフルに発揮できるようにしているのです。

標準 T-Engine、μT-Engine は、T-Kernel が動作する開発プラットフォームとなるハードウェアです。開発プラットフォームとは、組込みシステムを開発するときのプロトタイプとして使用するコンピュータシステムです。

標準 T-Engine の CPU は 32 ビットで、MMU(Memory Management Unit:メモリ管理機能)が必須となっています。タッチパネルつき液晶画面やボタン、音声の入出力などのユーザインタフェースを持ちます。また、ハードウェアの拡張やプログラムを格納するフラッシュメモリ等との接続に、PC Card や USB ホスト機能など豊富な汎用インタフェースを備えています。高機能でありながら外形も大変小型ですので、バッテリーを付ければ PDA のプロトタイプとしても使用できます。

一方、μT-Engine は、画面や音声などのユーザインタフェースは必須ではありませんが、その分小型です。CPU は 32 ビットと規定されていますが、MMU は必須ではありません。外部インタフェースには、標準 T-Engine と比較してより小型な、コンパクトフラッシュ I/F と MMC または SD カードコネクタを搭載しています。メモリカードとのインタフェースが 2 系統以上用意されているのは、片方をプログラムを格納するストレージとして用いているときに、もう片方を周辺機器とのインタフェースの拡張に使用できるようにするためです。

標準 T-Engine とμT-Engine は搭載するインタフェースや外形寸法に違いがありますが、同一アーキテクチャであり、ともに T-Kernel が動作します。

標準 T-Engine 及びμT-Engine のボード構成例を図 2.1.1、図 2.1.2 に、CPU ボードの構成例を図 2.1.3 に示します。CPU ボードには CPU やメモリ、電源回路などシステムを動作させる基本機能が全て搭載されており、単体で動作させることができます。CPU ボードを中心に、LCD ボードや拡張ボード、デバッグボードを組み合わせて機能を拡張することができます。μT-Engine は、LCD ボードとのインタフェースは必須ではありません。拡張ボードの表裏に拡張コネクタのプラグとレセプタクルを搭載することで、複数枚スタックして使用することができます。

これらのボードは、T-Engine フォーラムにより外形寸法、外部インタフェースのコネクタ位置が規定

されており、CPU が異なっても同一筐体が使用できます。

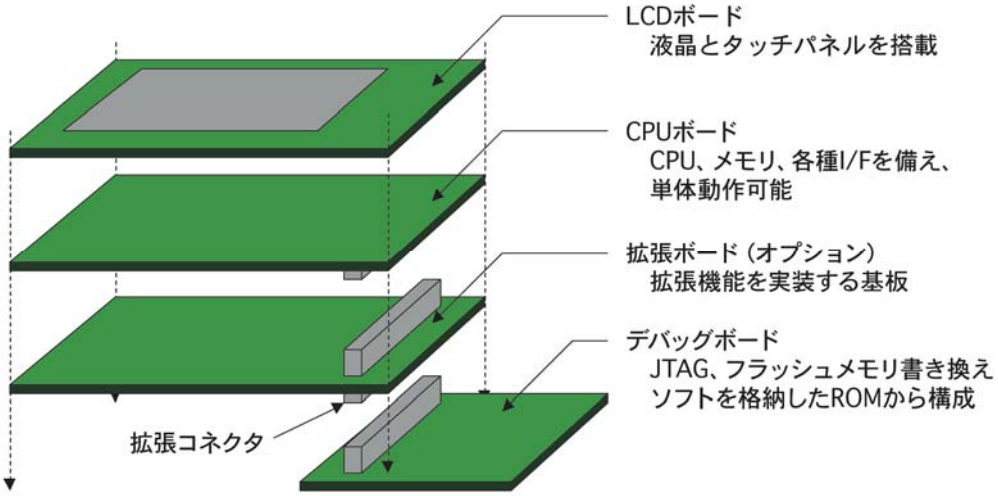


図 2.1.1 標準 T-Engine のシステム構成例

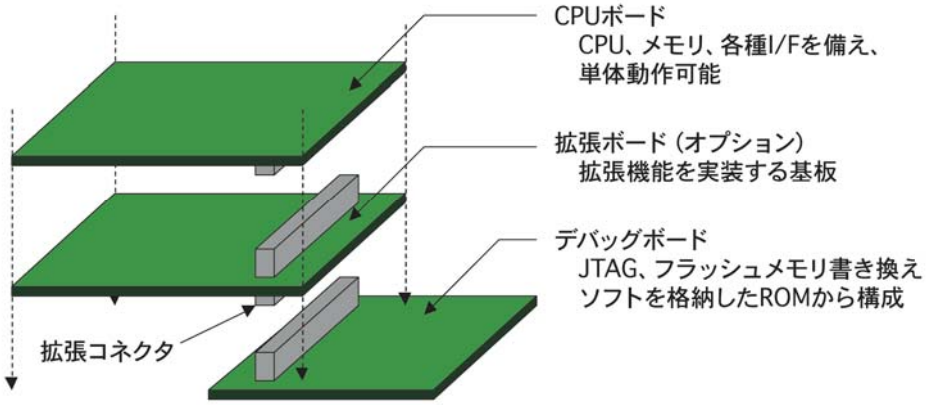


図 2.1.2 μT-Engine のシステム構成例

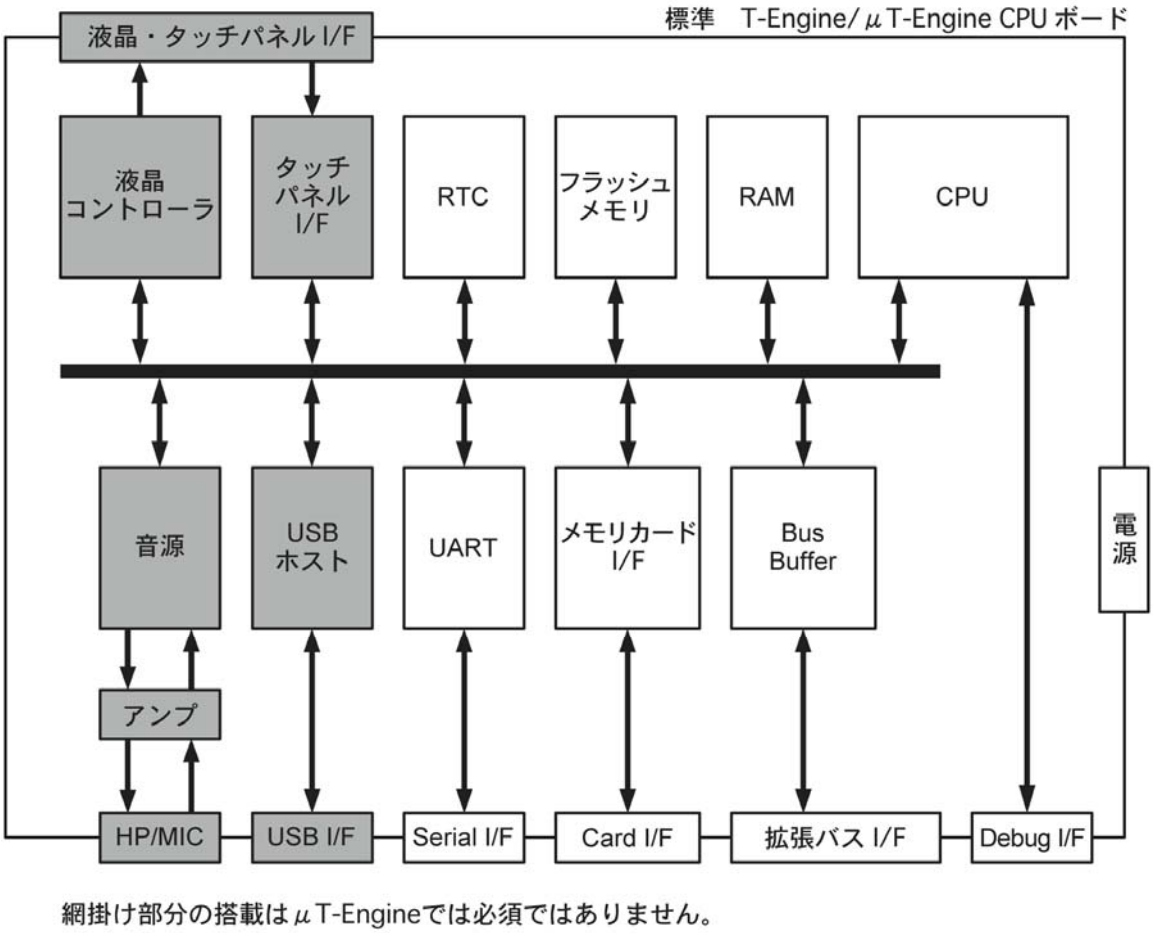


図 2.1.3 標準 T-Engine/μT-Engine の標準的な CPU ボード構成の例

２．２．　T-Engine の拡張コネクタ

前述のとおり、T-Engine の規格では、拡張コネクタの信号アサインは規定されません。異なる T-Engine 向けに作られた拡張ボードを誤って挿入して T-Engine や拡張ボードを破損してしまうことがないように、拡張コネクタの両端には誤挿入防止用のキーがついています。このキーは、拡張コネクタに出力されているバスの種類によって、T-Engine フォーラムにより割り当てられています。

図 2.2.1 に現在アサインされている T-Engine のキーイングを示します。片側の KEY-A がバスタイプ、反対側の KEY-B がファミリーコードをあらわしています。キーイング 00 はマスターキーです。例えば、バスの違いを意識せず使用できる電源供給ボードや FPGA ボードなどには、どんな T-Engine にも接続できるマスターキーを使用します。

T-Engine の製品の中には、拡張コネクタにローカルバスとともに PCI バスが出力されているものもあります。PCI バスは CPU と周辺デバイスを基板上で接続するための標準規格です。PCI バスを備える T-Engine の拡張コネクタの PCI バス部分の信号アサインは統一されており（バスタイプ 04）、PCI バスを使用した拡張ボードは PCI バスを備えた T-Engine 製品で共用することができます。

PCI バスには PC やワークステーション向けに、ネットワークやグラフィックなど多種多様なデバイスが製品化されており、部品の選択肢が大変広いのが魅力です。

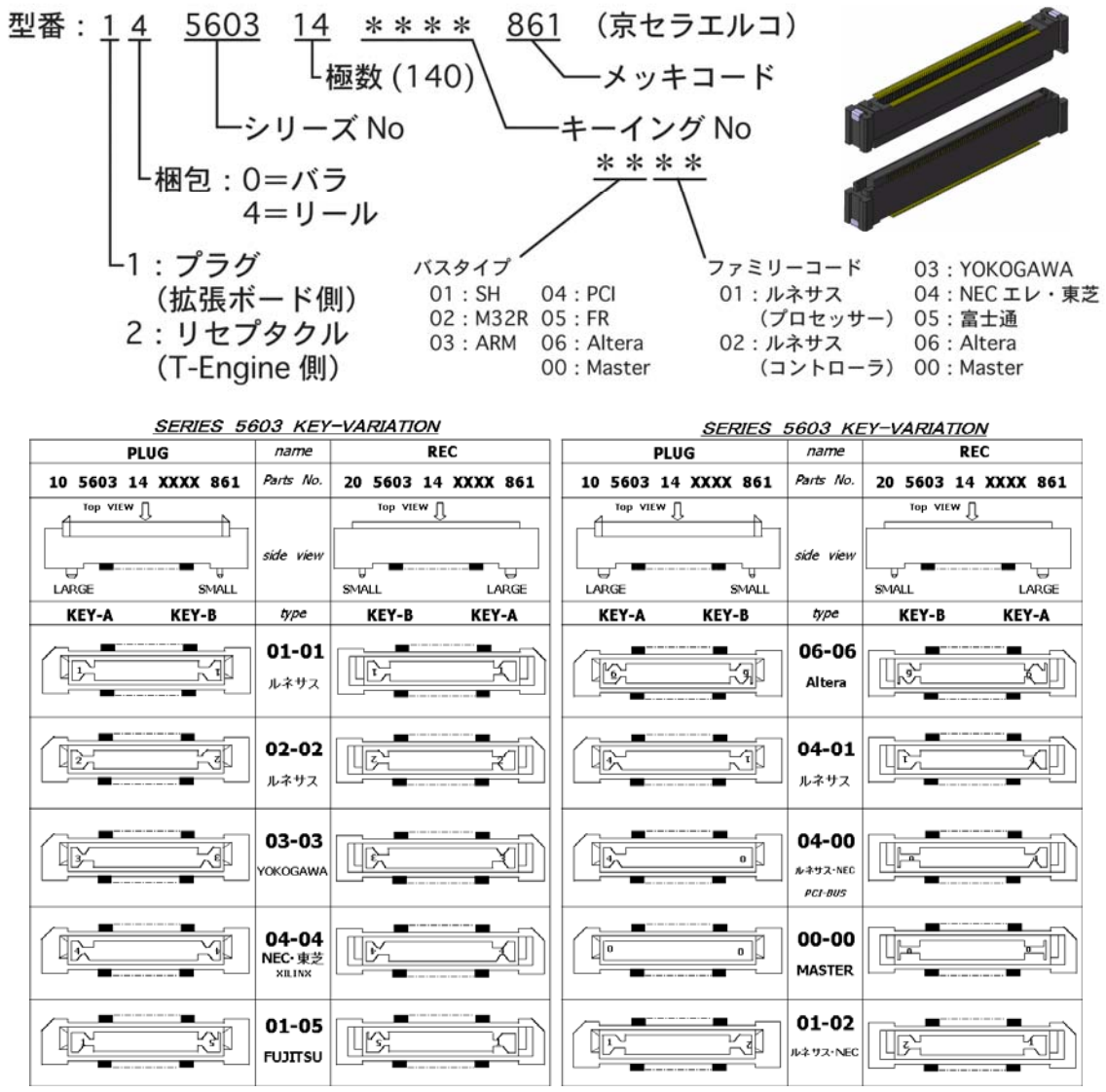


図 2.2.1 拡張コネクタの誤挿入防止キー割り当て

２．３．T-Engine の拡張バスの分類

拡張バスはいくつかのグループに分類されます。表 2.3 に、製品ごとの拡張バスの信号アサインのグループの一覧表を示します。最も大きな分類は、ローカルバスが出力されているものと、PCI バスが併せて出力されているものの違いです。ローカルバスが出力されているものの中でも、信号のアサインは極力合わせるように配慮されています。

各 T-Engine、μT-Engine の製品ごとの具体的なピンアサインは、T-Engine 設計ガイドの付録 B を参照してください。

表 2.3 拡張バスの信号アサインのグループ

アーキテクチャ	グループ							
	PCI		ローカルバス					
	SH-4	MIPS	SH-2/V830	M32R	SH-3/SH-4	ARM	FR	Nios
ファミリー	04-01	04-04	01-02	02-02	01-01	03-03	01-05	06-06
ルネサス テクノロジ	SH7751R							
					SH7727			
					SH7760			
					SH7720			
					SH7780			
			SH7145					
				M32104				
				M32192				
NEC エレクトロニクス		VR5500						
		VR4131						
			V850E/MA3					
東芝情報システム		TX4956						
横河ディジタル コンピュータ						ARM926-MB8		
						ARM922-LH7		
						ARM920-MX1		
						ARM720-LH7		
						ARM720-S1C		
富士通マイクロエレクトロニクス							MB91403	
アルティマ								NiosⅡ

２．４．T-Engine によるハードウェア開発

(1) ローカルバスによるハードウェア拡張

CPU のローカルバスは、メモリ空間または I/O 空間にアドレスマッピングされるデバイスを接続するためのインタフェースです。ローカルバスに接続される最も一般的なデバイスはメモリです。従って、ユーザ回路は、その CPU がサポートするメモリのプロトコルに従うことで、T-Engine の CPU からアクセスが可能になります。

ローカルバスは、バス幅も広く、DMA や割り込みも使用できますので、最も性能が出しやすく、また自由度の高いインタフェースです。ただし、ローカルバスのプロトコルはメーカーや CPU の品種により異なるため、ある T-Engine 向けに作られた拡張ボードが、他の T-Engine で動作するとは限りませんのでご注意ください。

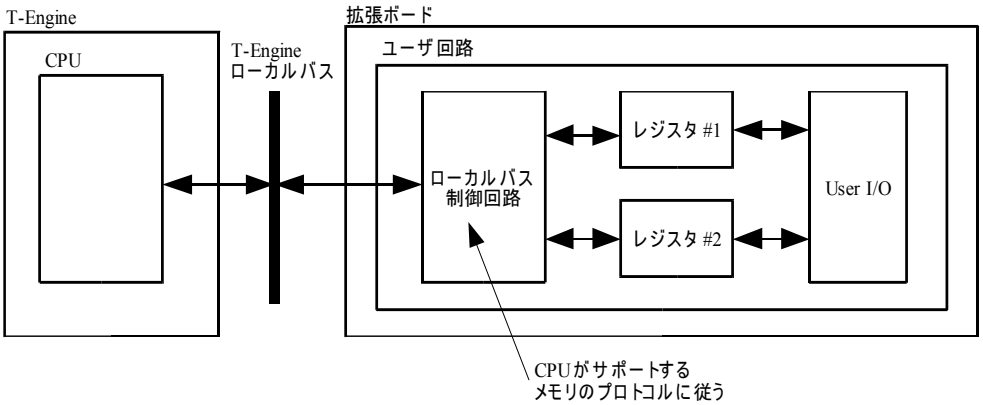


図 2.4.1 ローカルバスを用いた拡張ボードの構成例

(2) PCI バスによるハードウェア拡張

PCI バスは CPU と周辺デバイスを基板上で接続するための標準規格です。PCI を使用することで CPU と周辺デバイスのメーカーや品種を問わず接続できますし、なによりも PC やワークステーション向けの多種多様なデバイスが製品化されており、部品の選択肢が大変広いのが魅力です。

PCI を搭載する T-Engine の拡張コネクタの PCI 部分のピンアサインは統一されています。従って、PCI を使用した拡張ボードは PCI を持つ T-Engine 同士で共通化することが可能です。

PCI はバス構造ですので、バス上に接続されたバスマスタデバイス同士の調停を行う必要があります。この調停を行うデバイスは PCI ホストまたはセントラルリソースと呼ばれます。PCI バスを備えた T-Engine は、この PCI ホスト機能を搭載しており、最大 3 個までの PCI デバイスを接続することができます。

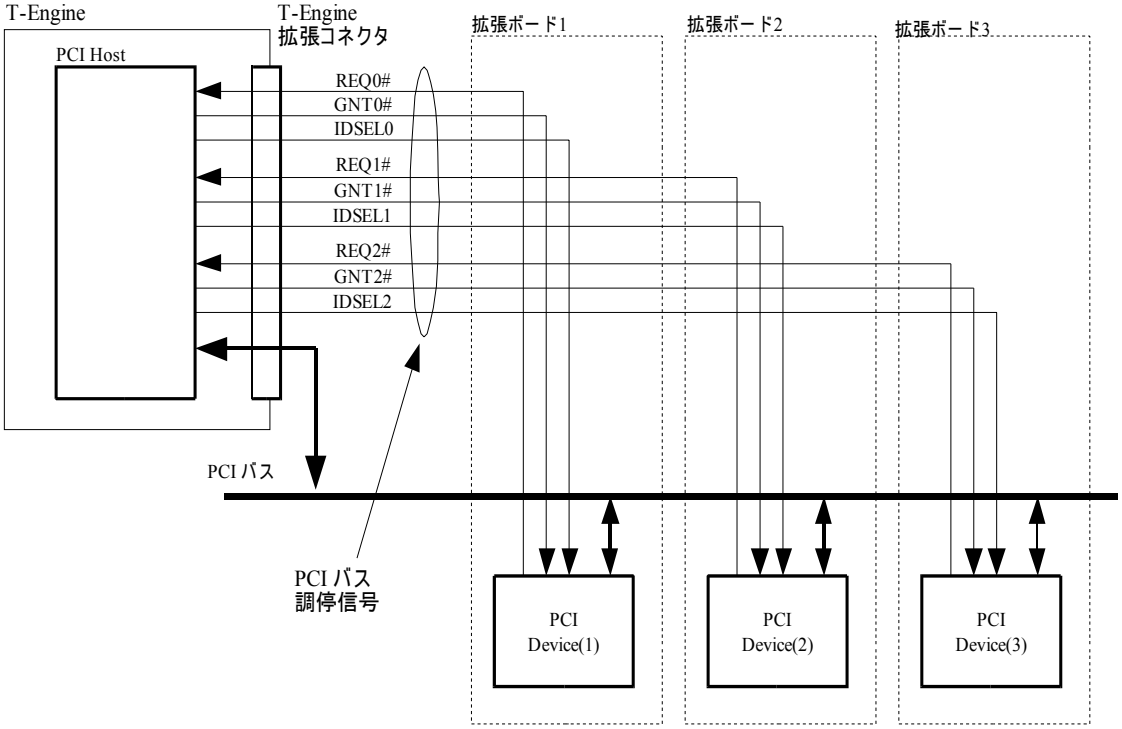


図 2.4.2 PCI を用いた拡張ボードの構成

(3) 開発用拡張ボード

T-Engine の拡張コネクタに接続する回路を開発するために、拡張ユニバーサルボードや FPGA ボードが製品化されています。

○ 拡張ユニバーサルボード

拡張ユニバーサルボードは、手配線が難しい T-Engine の拡張コネクタの信号を、2.54mm ピッチのスルーホールに引き出し、ユーザが簡単にハードウェアを拡張できるようにしたボードです(図 2.4.3)。ボード上には 2.54mm ピッチのユニバーサルエリアが設けられており、任意の回路を手配線で接続することが可能です。センサや簡単な I/O 類といった比較的小規模なユーザ回路を接続することに適しています。

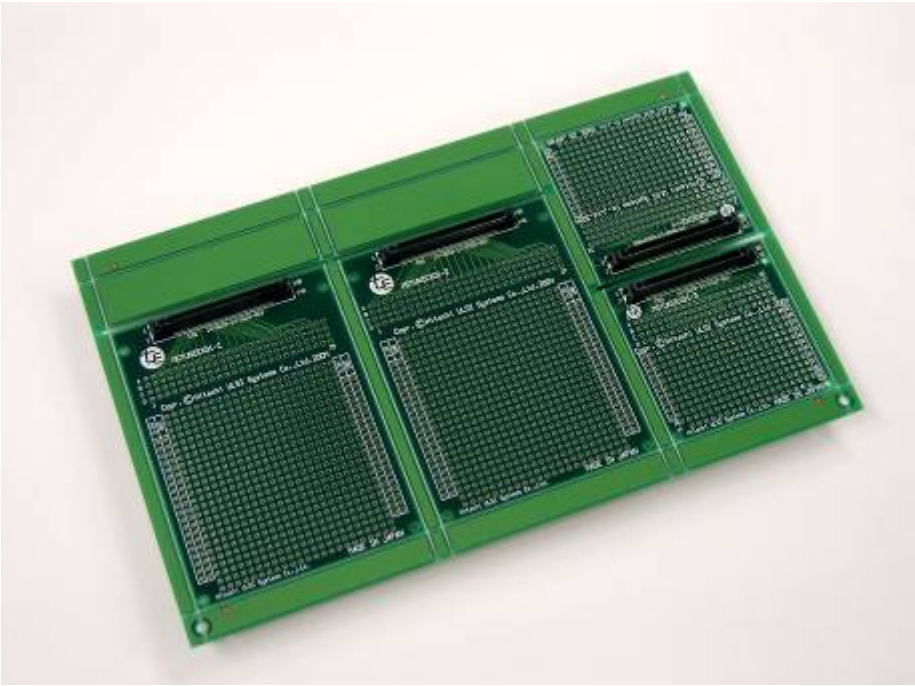


図 2.4.3 拡張ユニバーサルボード

○ 機能拡張 FPGA 開発ボード（アルティマ）

拡張ユニバーサルボードに収まらない大規模な回路を開発する場合は、FPGA 開発ボードが便利です。FPGA とは Field Programmable Gate Array の略で、内部回路をユーザが外部からプログラム可能な LSI です。FPGA の中には、Logic Element と呼ばれるフリップフロップを中心とした論理ブロックが予め多数作りこまれていて、これを外部からプログラムすることで任意の論理回路を作りこむことができます。

T-Engine 向け機能拡張 FPGA 開発ボードの構成を図 2.4.4 に、T-Engine に接続した外観を図 2.4.5 に示します。

搭載されている FPGA は Altera 社の Cyclone EP1C20 で、約 20000 個の Logic Element を搭載しています。公称約 25 万ゲート規模の回路を構成することが可能であり、ASIC の試作環境としても利用できます。また、基板上に SDRAM を搭載していますので、高速で大容量のメモリを使用するような大規模システムにも対応します。

この FPGA ボードは、T-Engine の拡張コネクタの全端子を FPGA に接続し、バスプロトコルの違いを FPGA の内部論理で吸収することで、全 T-Engine に対応します。誤挿入防止キーも、全ての T-Engine で使用できるマスターキーになっています。

FPGA の内部論理は、再プログラミングすることですぐに変更が可能なので、設計変更から実機検証までの時間(Turn Around Time)を短縮することが可能になります。一般に、ASIC などの LSI の製造には数ヶ月単位の長い期間が必要ですが、FPGA を試作環境として使用することで、論理設計と並行して実機デバックが可能になり、設計・検証効率が飛躍的に改善します。

T-Engine は、組込み向けリアルタイム OS である T-Kernel が最初から動作する状態で出荷されるので、通常のハードウェア開発環境の立ち上げに必要な OS のポーティングやデバッグ環境の構築のための工数が不要です。さらに、拡張ユニバーサルボードや FPGA ボードなどの短 TAT なハードウェア開発環境が整備されたことで、アプリケーションソフトウェアの開発と並行してハードウェアの開発が可能になりました。

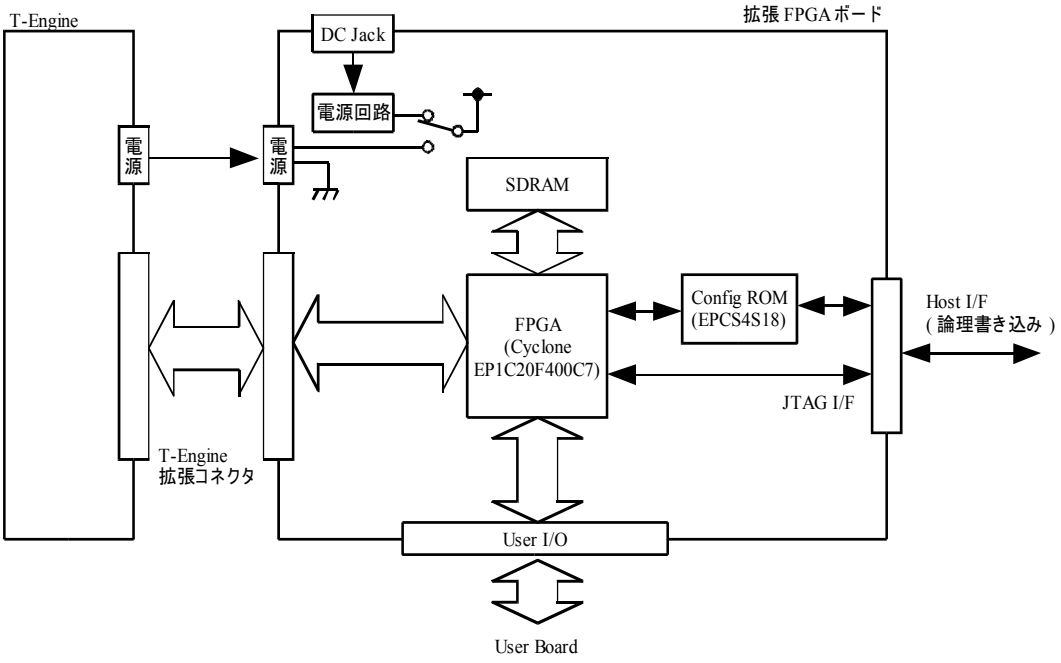


図 2.4.4 アルティマの拡張 FPGA ボードの構成

図 2.4.5 アルティマの拡張 FPGA ボードの外観

○機能拡張 FPGA 開発ボード（XILINX）

XILINX 製 FPGA を搭載し、簡単に回路を拡張することが可能な拡張ボードが提供されています。図 2.4.6 に XILINX の拡張 PGA ボードの構成を示します。

FPGA は、ユーザーが手元で何度もプログラミングが可能なロジックデバイスで、設計した回路を即座に書き換えることが可能なため、開発効率の向上に大変有効なデバイスです。

このボードに搭載されている FPGA は XILINX 製 Spartan-3E XC3S500E（50 万システムゲート）で、ロジックセル以外に合計 360KByte のブロックメモリや、信号処理に有効な 18×18 ビットの乗算器が 20 個搭載されています。さらに、XILINX 製の 32bitRISC プロセッサである MicroBlaze も搭載する事が可能で、T-Engine に加えてサブプロセッサとして活用する事が可能となっており、大幅に機能拡張が可能なボードです。

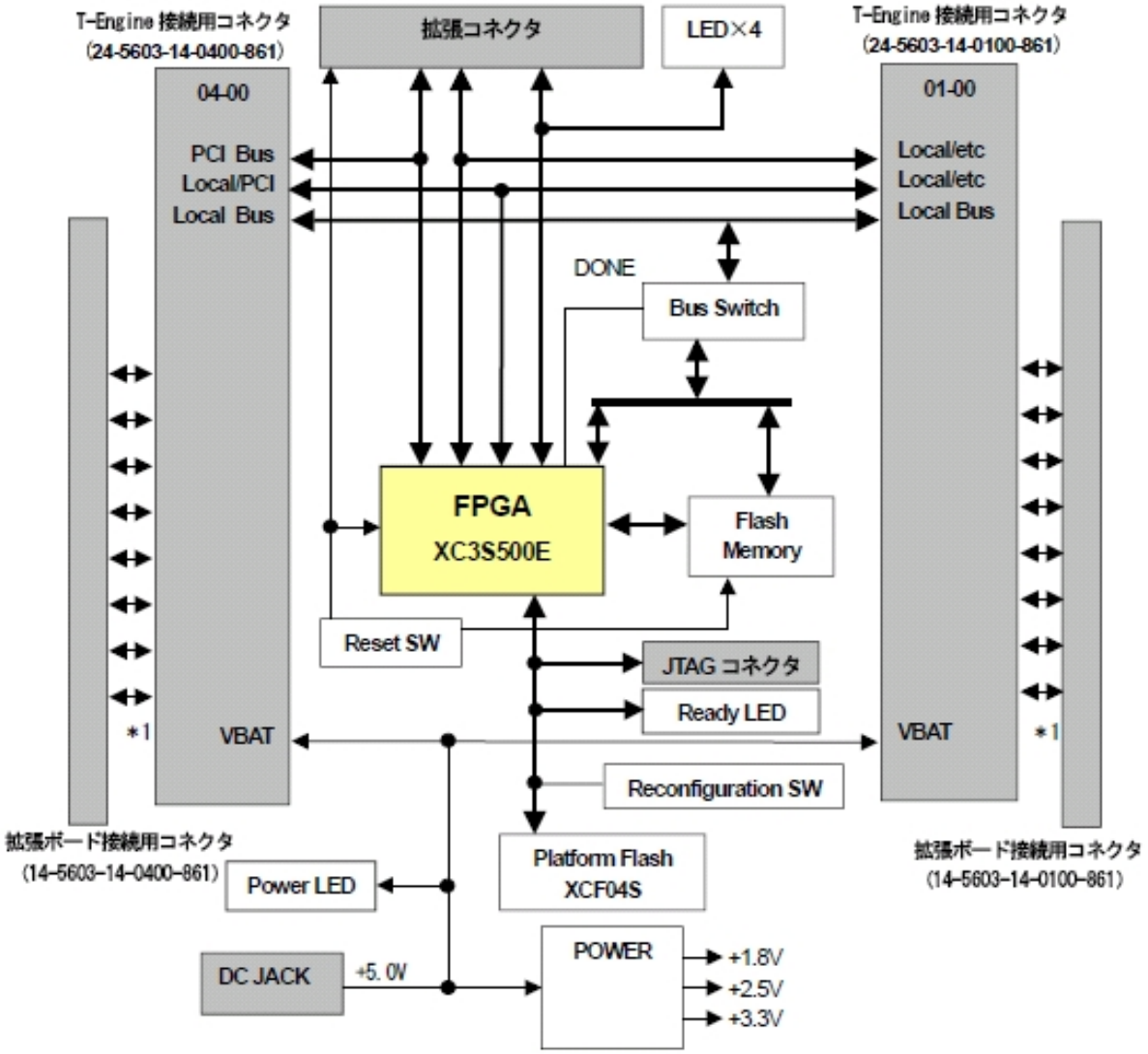


図 2.4.6　XILINX の拡張 FPGA ボードの構成

T-Engine との接続については、誤挿入によるミスを防止するために拡張コネクタのキーイングにも工夫を施してあります。標準で SH 系バスの 01-00 と PCI 系バスの 04-00 の２タイプを搭載しており、SH

系と PCI 系バスの T-Engine を直接安全に接続することが可能です。

また、その他のタイプのキーイングを持つ T-Engine との接続についても、変換アダプタのご提供により、全ての T-Engine/μT-Engine と安全に接続することが可能な仕様になっています。

加えて、更なる拡張用に１００ピンのコネクタも搭載しています。

拡張 FPGA ボードを開発に利用する事で、開発効率の大幅な向上が見込めます。また、搭載されている XILINX 製 FPGA の豊富な機能を活用することにより、T-Engine の可能性を大きく拡張することが可能です。

■　第３章 SH7727/SH7720/SH7760/SH7780 T-Engine 拡張ボード設計ガイド

本章では、SH7727/SH7720/SH7760/SH7780(以下、SH77XX と略す) T-Engine の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボードとは、ユーザ任意のデバイス等が搭載されており、T-Engine 上の拡張コネクタに出力している SH のアドレスバス、データバス、および制御信号やシリアル（調歩同期式）により制御可能なボードです。

３．１．SH77XX T-Engine 拡張コネクタ仕様

T-Engine 実装コネクタ型式　　：2x-5603-14-0101-861+（京セラエルコ）

適合コネクタ型名　　：1x-5603-14-0101-861+（京セラエルコ）

x：梱包形態（０：バラ、４：リール）

図 3.1 に拡張コネクタの配置図を示します。

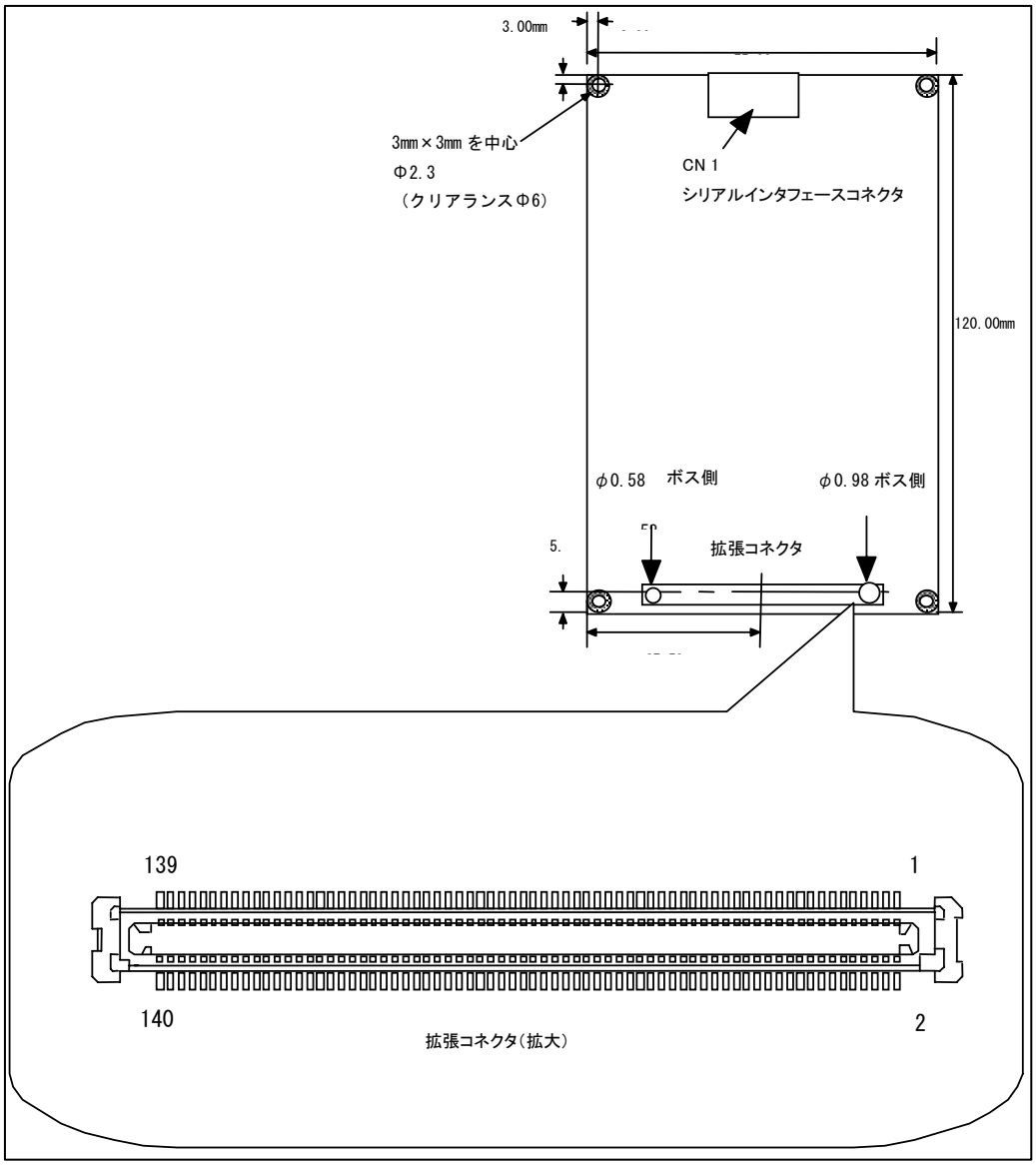


図 3.1　拡張コネクタの配置図

３．２　拡張コネクタ信号配置

表 3.1 に拡張コネクタ信号配置を示します。

表 3.1　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	5V(＊１)	-	36	D29	I/O	71	A24	OUT	106	SH7727_CTS2	IN
2	5V	-	37	D30	I/O	72	A25	OUT	107	—	—
3	5V	-	38	D31	I/O	73	~EPROMCE	OUT	108	ASEMD0	IN
4	5V	-	39	GND	-	74	~CS2	OUT	109	GND	-
5	D0	I/O	40	GND	-	75	~CS4	OUT	110	GND	-
6	D1	I/O	41	CKIO	OUT	76	~CS5	OUT	111	TCK	IN
7	D2	I/O	42	GND	-	77	RDWR	OUT	112	TMS	IN
8	D3	I/O	43	GND	-	78	~BS	OUT	113	~TRST	IN
9	D4	I/O	44	GND	-	79	GND	-	114	TDI	IN
10	D5	I/O	45	A0	OUT	80	GND	-	115	TDO	OUT
11	D6	I/O	46	A1	OUT	81	~RD	OUT	116	~ASEBRKAK	OUT
12	D7	I/O	47	A2	OUT	82	~WAIT	IN	117	3.3VSB(＊３)	-
13	D8	I/O	48	A3	OUT	83	~WE0	OUT	118	3.3VSB	-
14	D9	I/O	49	A4	OUT	84	~WE1	OUT	119	3.3VSB	-
15	D10	I/O	50	A5	OUT	85	~WE2	OUT	120	3.3VSB	-
16	D11	I/O	51	A6	OUT	86	~WE3	OUT	121	AUDATA0	I/O
17	D12	I/O	52	A7	OUT	87	GND	-	122	AUDATA1	I/O
18	D13	I/O	53	A8	OUT	88	GND	-	123	AUDATA2	I/O
19	D14	I/O	54	A9	OUT	89	~IRQ0	IN	124	AUDATA3	I/O
20	D15	I/O	55	A10	OUT	90	~IRQ1	IN	125	~AUDSYNC	OUT
21	GND	-	56	A11	OUT	91	~IRQ2	IN	126	AUDCK	IN
22	GND	-	57	A12	OUT	92	~IRQ3	IN	127	3.3V(＊４)△1	—
23	D16	I/O	58	A13	OUT	93	NMI_IN	IN	128	3.3V　△1	—
24	D17	I/O	59	A14	OUT	94	~RST_IN	IN	129	3.3V　△1	—
25	D18	I/O	60	A15	OUT	95	~RST_OUT	OUT	130	3.3V　△1	—
26	D19	I/O	61	GND	-	96	~DREQ0	IN	131	3.3V　△1	—
27	D20	I/O	62	GND	-	97	~DRAK0	OUT	132	3.3V　△1	—
28	D21	I/O	63	A16	OUT	98	~DACK0	OUT	133	VBAT_IN(＊５)△1	—
29	D22	I/O	64	A17	OUT	99	ROMSEL	IN	134	VBAT_IN　△1	—
30	D23	I/O	65	A18	OUT	100	~BASE　(＊２)	IN	135	VBAT_IN　△1	-
31	D24	I/O	66	A19	OUT	101	GND	-	136	VBAT_IN　△1	-
32	D25	I/O	67	A20	OUT	102	GND	-	137	GND　△1	-
33	D26	I/O	68	A21	OUT	103	SH7727_TXD2	OUT	138	GND　△1	-
34	D27	I/O	69	A22	OUT	104	SH7727_RXD2	IN	139	GND　△1	-
35	D28	I/O	70	A23	OUT	105	SH7727_RTS2	OUT	140	GND　△1	-

：SH77XX のアドレスバス、データバス、制御信号、シリアル信号です。
電気的レベルは、3.3V です。

＊１：SH77XX 電源オン時に 5.0V(typ.)の電源が供給されます。
＊２：本端子を Low レベルにすることにより、SH77XX 拡張用のバスが拡張コネクタへ出力されます。
＊３：電池が接続されているとき及び、AC アダプタ接続時に常時 3.3V(typ.)の電源が供給されます。
＊４：SH77XX 電源オン時に 3.3V(typ.)の電源が供給されます。
＊５：電源ボードからの電源供給（4.2～3.7V）端子です。電源ボードから T-Engine に電源の供給が可能です。

３．３．拡張ボードを拡張できるエリア

３．３．１　SH7727/SH7720　T-Engine メモリマップ

表 3.2 に SH7727/SH7720 のメモリマップを示します。

拡張ボードは、表 3.2 に示す通り、エリア２、エリア４およびエリア５の３つのエリアに拡張可能です。各エリアは、SH7727/SH7720 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 3.2　SH7727/SH7720 のメモリマップ

エリア№	バス幅	空間	空間名	デバイス	備考
エリア０	16bit	h’00000000 ～ h’007FFFFF	フラッシュメモリエリア	8MB	
		h’00800000 ～ h’00FFFFFF	―	フラッシュメモリエリアイメージ	
		h’01000000 ～ h’03FFFFFF	―	未使用エリア	
エリア１	―	h’04000000 ～ h’07FFFFFF	SH7727/SH7720 内部エリア		
エリア２	8/16/32bit	h’08000000 ～ h’0BFFFFFF	―	64MB 拡張ボード拡張エリア２ 拡張コネクタ(/CS2)経由でユーザ任意	
エリア３	32bit	h’0C000000 ～ h’0DFFFFFF	SDRAM エリア	32MB	
		h’0E000000 ～ h’0FFFFFFF	―	未使用エリア	
エリア４	8/16/32bit	h’10000000 ～ h’13FFFFFF	―	64MB 拡張ボード拡張エリア４ 拡張コネクタ(/CS4)経由でユーザ任意	
エリア５	8/16/32bit	h’14000000 ～ h’17FFFFFF	―	64MB 拡張ボード拡張エリア５ 拡張コネクタ(/CS5)経由でユーザ任意	
エリア６	16bit	h’18000000 ～ h’19FFFFFF	PC CARD 用エリア	カードコントローラ 型名：MR-SHPC-01 V2T(丸文) 以下、SH-PCIC と略す。	
		h’1A000000 ～ h’1AFFFFFF	UART エリア (ChA)	UART 型名：ST16C2550CQ48(EXAR) 以下、UART と略す	
		h’1B000000 ～ h’1BFFFFFF	UART エリア (ChB)	同上	
エリア７	―	h’1C000000 ～ h’1FFFFFFF	―	―	Reserved

３．３．２　SH7760　T-Engine メモリマップ

表 3.3 に SH7760 のメモリマップを示します。

拡張ボードは、表 3.3 に示す通り、エリア 2、エリア 4 およびエリア 5 の 3 つのエリアに拡張可能です。各エリアは、SH7760 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 3.3　SH7760 のメモリマップ

エリア No.	バス幅	空間	空間名	デバイス	備考
エリア 0	16bit	h’00000000 ～ h’00FFFFFF	フラッシュメモリエリア	8MB MBM29DL640E-90TN（富士通）×1	
		h’01000000 ～ h’03FFFFFF	―	未使用エリア	
エリア 1	16bit	h’04000000 ～ h’07FFFFFF	ボード制御レジスタエリア	16B ボード制御レジスタ	
エリア 2	8/16/32bit	h’08000000 ～ h’0BFFFFFF	拡張エリア(CS2)	64MB 拡張コネクタ(CS2 エリア)	拡張コネクタ CS2#アサート
エリア 3	32bit	h’0C000000 ～ h’0FFFFFFF	SDRAM エリア	64MB EDS2516APTA-75(ELPIDA)×2	
エリア 4	8/16/32bit	h’10000000 ～ h’13FFFFFF	拡張エリア(CS4)	64MB 拡張コネクタ(CS4 エリア)	拡張コネクタ CS4#アサート
エリア 5	8/16/32bit	h’14000000 ～ h’17FFFFFF	拡張エリア(CS5)	64MB 拡張コネクタ(CS5 エリア)	拡張コネクタ CS5#アサート
エリア 6	16bit	h’18000000 ～ h’19FFFFFF	PC CARD 用エリア	カードコントローラ 型名：MR-SHPC-01 V2T(丸文) 以下、SH-PCIC と略します。	
		h’1A000000 ～ h’1A7FFFFF	UART エリア(ChA)	UART 型名：ST16C2550CQ48(EXAR) 以下、UART と略します。	H8/3048F-ONE との I/F に使用します。
		h’1A800000 ～ h’1AFFFFFF	UART エリア(ChB)	同上	ホストとの I/F に使用します。
		h’1B000000 ～ h’1BFFFFFF	ID レジスタエリア		ディップスイッチの設定を読み出します。
エリア 7	―	h’1C000000 ～ h’1FFFFFFF	―	―	Reserved

３．３．３　SH7780　T-Engine メモリマップ

表 3.4 に SH7780 のメモリマップを示します。

拡張ボードは、表 3.4 に示す通り、エリア 1、エリア 4 およびエリア 5 の 3 つのエリアに拡張可能です。各エリアは、SH7780 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 3.4　SH7780 のメモリマップ

エリアNo.	バス幅	空間	空間名	デバイス	備考
エリア 0	16bit	h'00000000 ～ h'00FFFFFF	フラッシュメモリエリア	実容量：16MB	－
		h'01000000 ～ h'03FFFFFF	未使用エリア	－	－
エリア 1	8/16/32bit	h'04000000 ～ h'07FFFFFF	拡張エリア	ユーザ用拡張領域	拡張バス I/F の ~CS2 アサート
エリア 2/ エリア 3	32bit	h'08000000 ～ h'0FFFFFFF	DDR-SDRAM エリア	実容量：128MB	
エリア 4	8/16/32bit	h'10000000 ～ h'13FFFFFF	拡張エリア	ユーザ用拡張領域	拡張バス I/F の ~CS4 アサート
エリア 5	8/16/32bit	h'14000000 ～ h'17FFFFFF	拡張エリア	ユーザ用拡張領域	拡張バス I/F の ~CS5 アサート
エリア 6	16bit	h'18000000 ～ h'18FFFFFF	SIM エリア	SmartCard I/F エリア	eTRON 制御
		h'19000000 ～ h'19FFFFFF	PLD レジスタエリア	PLD 内蔵レジスタ	USB 制御 割り込み制御等
		h'1A000000 ～ h'1AFFFFFF	UART-Ch A エリア	UART XR16L2550IM-F(EXAR) ×1	H8/3048F-ONE との I/F に使用
		h'1B000000 ～ h'1BFFFFFF	UART-Ch B エリア		ホストシステム 通信用シリアル コネクタに出力
エリア 7	－	h'1C000000 ～ h'1FFFFFFF	リザーブ領域	－	－

３．４．拡張ボードへの電源供給

３．４．１　SH77XX T-Engine 供給可能電源容量

SH77XX T-Engine から拡張ボードへ供給できる電圧と電流を表 3.5 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。
なお、表 3.5 の電流量は、参考値です。保証値ではありません。

表 3.5　SH77XX T-Engine から拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備考
3.3V	3.3V	250mA	3.3V　: SH7760 電源 ON 時に供給
3.3VSB			3.3VSB :　AC アダプタ接続時に常時供給。
5V	5V	250mA	SH7760 電源 ON 時に供給

＝　注意　＝

● 許容電流量は、3.3V と 3.3VSB の総和となります。

● 許容電流量は、T-Engine に USB 経由でバスパワーで動作する周辺機器をつないでいる場合および、PC Card（５V 品）を使用している場合、その機器とカードの消費電流を許容電流量から差し引いた電流量となります。

３．５．拡張ボードからの割り込み入力

SH77XX T-Engine には、拡張ボードの割り込み入力用として、拡張コネクタに/IRQ0～/IRQ3 の 4 本の割り込み入力端子を設けています。図 3.2 に T-Engine 内の拡張コネクタ割込み端子構成を示します。また、表 3.6 に各割り込み端子の割り込みレベルを示します。拡張コネクタの各割り込み端子は、Low レベルで割り込みを認識します。割り込み認識後、T-Engine 上の FPGA 内で IRL 割り込みに変換され、SH77XX に割り込みを発生させます。

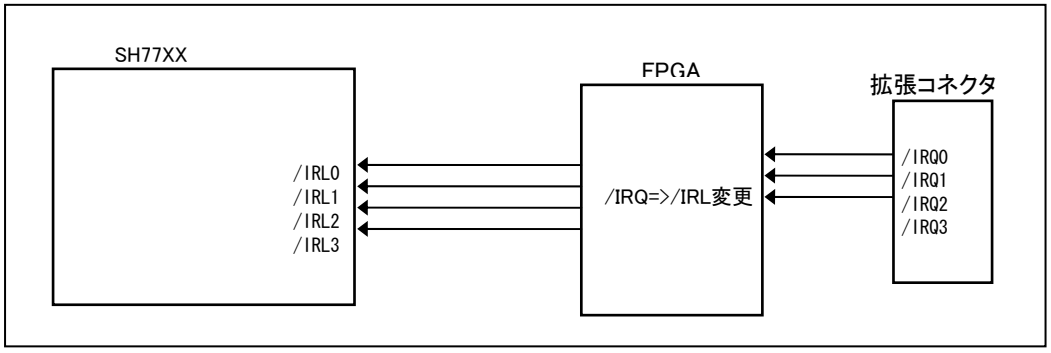


図 3.2 T-Engine 内の拡張コネクタ割込み端子構成

表 3.6　各割り込み端子の割り込みレベル

No.	割り込み要求元	SH77XX 割り込み入力端子	SH7727/SH7720/SH7780 割り込み信号レベル	SH7760 割り込み信号レベル	備考 割り込みレベル	
					SH7727/SH7720/SH7780	SH7760
1	拡張コネクタ/IRQ0（＊１）	/IRL[3..0]	/IRL[3..0]=1101	/IRL[3:0]=0000	2	15
2	拡張コネクタ/IRQ1（＊１）	/IRL[3..0]	/IRL[3..0]=1001	/IRL[3:0]=0100	6	11
3	拡張コネクタ/IRQ2（＊１）	/IRL[3..0]	/IRL[3..0]=0101	/IRL[3:0]=0111	10	8
4	拡張コネクタ/IRQ3（＊１）	/IRL[3..0]	/IRL[3..0]=0001	/IRL[3:0]=1001	14	6

＊１：拡張コネクタ/IRQ0～3 の割り込み信号レベルは、アクティブ Low レベルです。

３．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 3.3 に拡張ボードのスタック構成を示します。

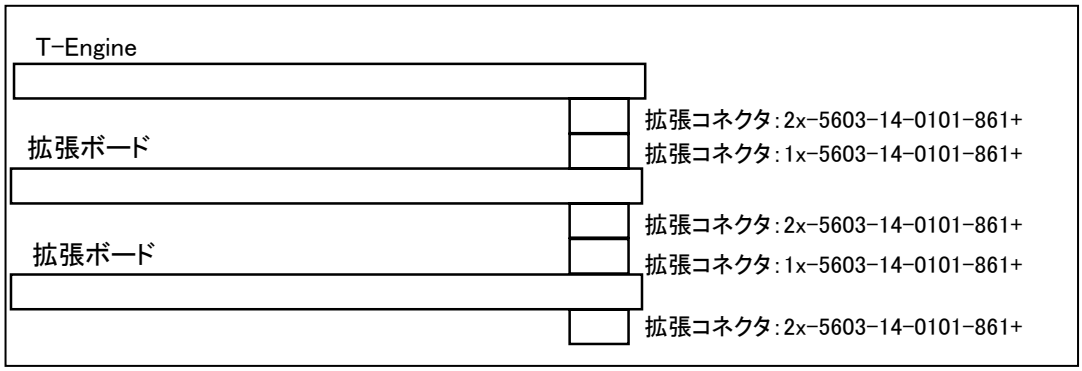


図 3.3　拡張ボードのスタック構成

３．７．/WAIT 入力

SH77XX T-Engine には、拡張ボードの/WAIT 入力用として、拡張コネクタに 1 本の/WAIT 入力端子を設けています。拡張ボードから WAIT を出力する場合には、複数の拡張ボードをスタックした際の/WAIT 出力の衝突を防ぐために、オープンコレクタ出力としてください。なお、T-Engine 側の/WAIT 端子は、680Ωでプルアップしています。図 3.4 に例として、SH7727 拡張コネクタの/WAIT 端子の構成図を示します。

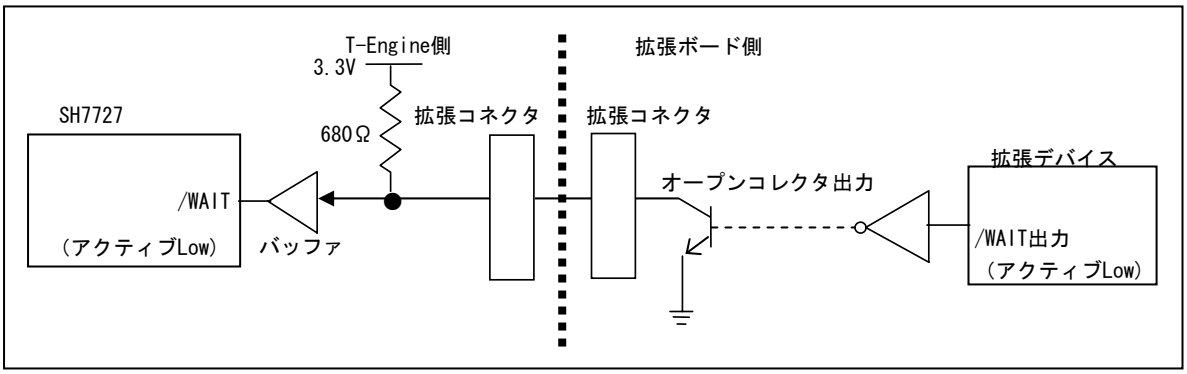


図 3.4　SH7727 拡張コネクタの/WAIT 端子の構成図

３．８．AC タイミングについて

図 3.5 に示すように拡張コネクタに出力している SH77XX のバス信号は、バスバッファを介して出力しています。そのため、SH77XX のバスの AC タイミングに対して約 10nsec バス信号が遅延します。拡張ボードは、この遅延時間を考慮して設計してください。図 3.6 に SH7727 の基本バスタイミングを示します。

なお、その他の SH バスタイミングの詳細については、各ハードウェアマニュアルを参照してください。

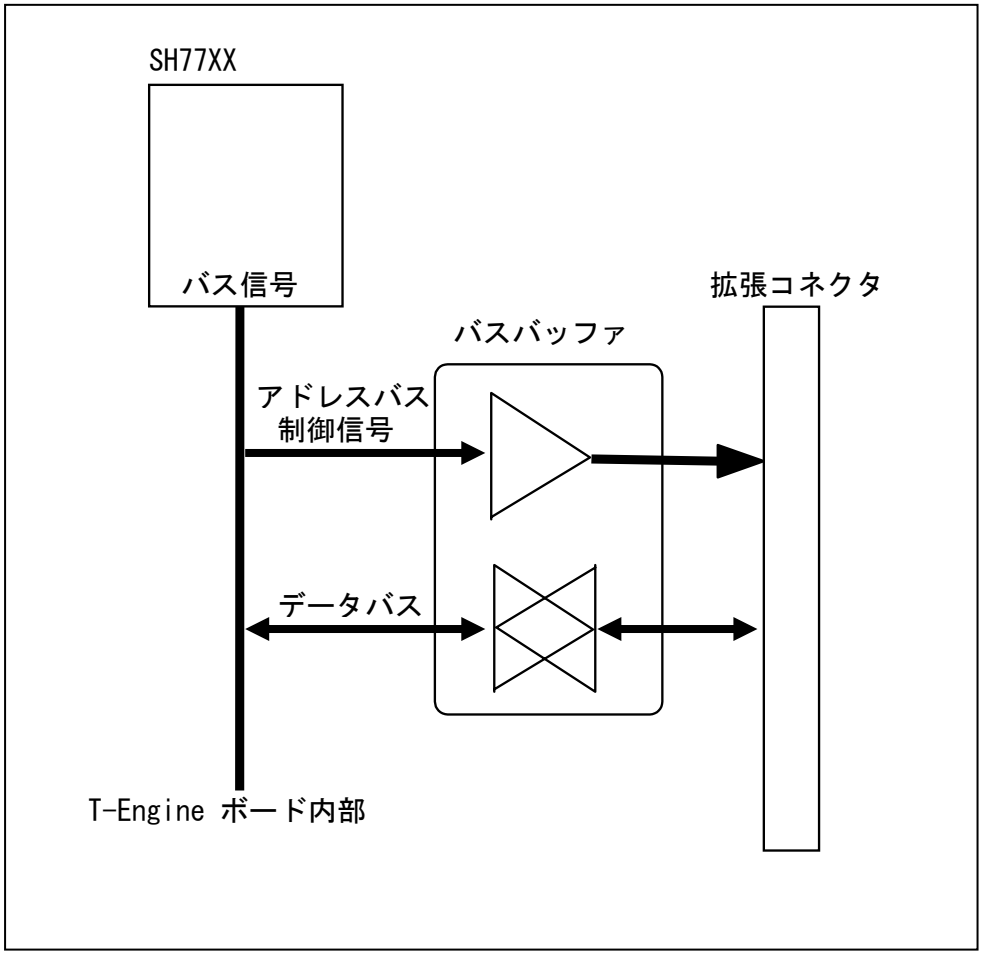


図 3.5　拡張コネクタのバスバッファ構成

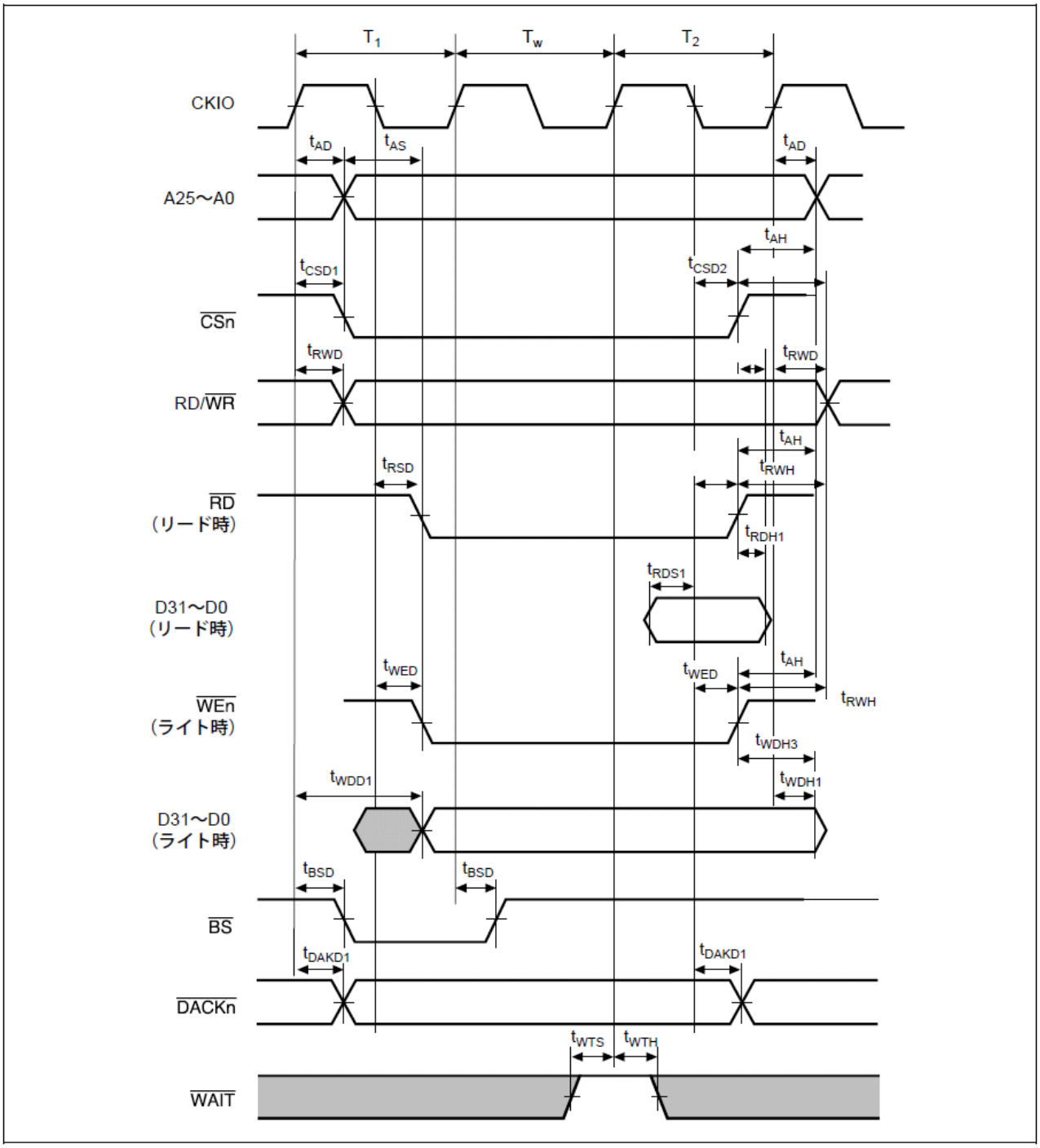


図 3.6　　SH7727基本バスサイクル （ 1 ウェイト ）

第４章 SH7751R T-Engine 拡張ボード設計ガイド

本章では、SH7751R T-Engine の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボードとは、ユーザ任意のデバイス等が搭載されており、T-Engine 上の拡張コネクタに出力している SH7751R のアドレスバス、データバス、および PCI バスにより制御可能なボードです。

４．１．拡張コネクタ仕様

T-Engine 実装コネクタ型式　　：2x-5603-14-0401-861+（京セラエルコ）

適合コネクタ型名　　：1x-5603-14-0401-861+（京セラエルコ）

図 4.1 に拡張コネクタの配置図を示します。

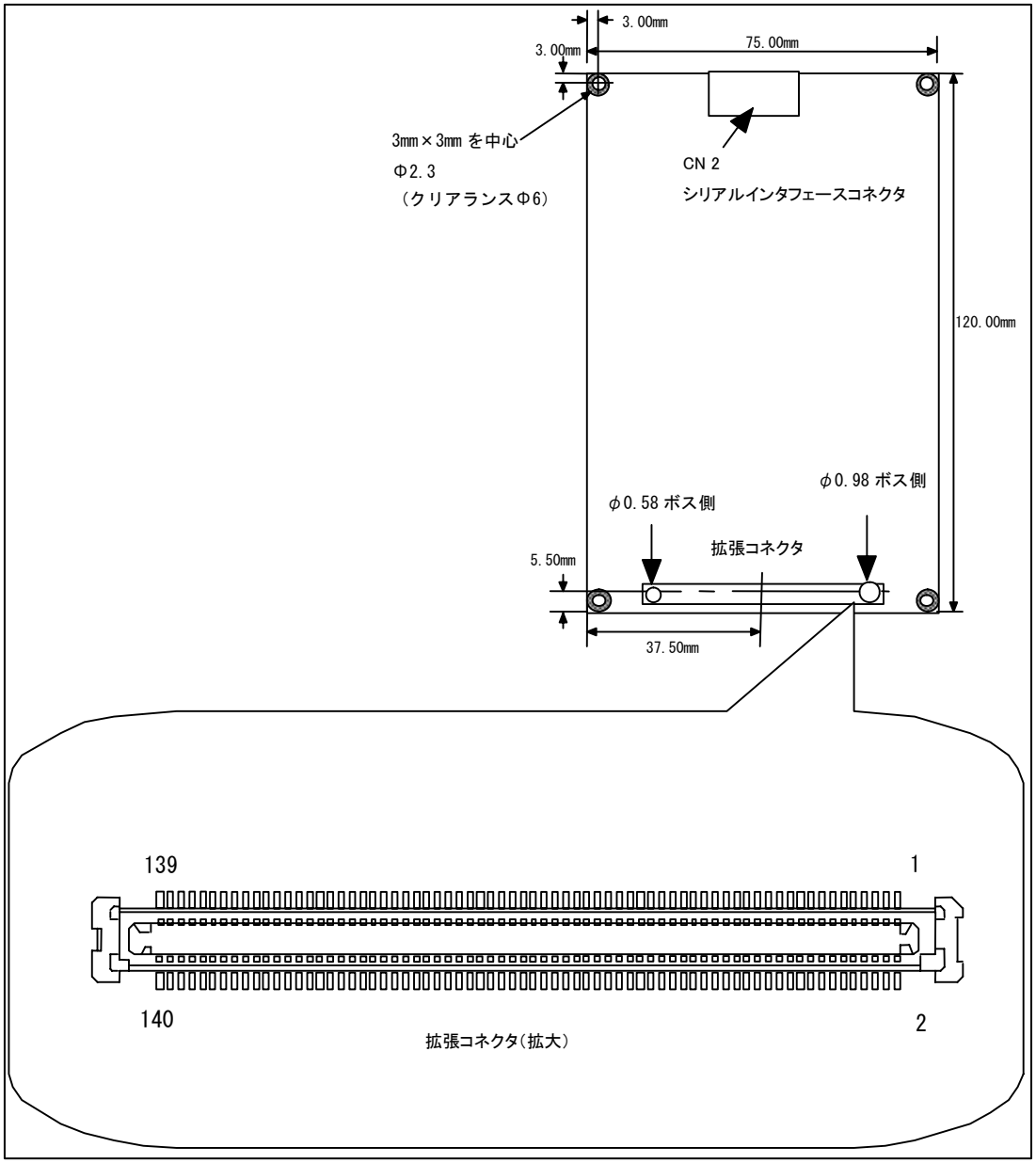


図 4.1　拡張コネクタの配置図

４．２　拡張コネクタ信号配置

表 4.1 に拡張コネクタ信号配置を示します。

PCI バスと Local バスの信号になります。電気的レベルは、3.3V です。

表 4.1　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	GND	–	36	AD20	I/O	71	AD2	I/O	106	A1	OUT
2	PCLK2	OUT	37	GND	–	72	AD3	I/O	107	A8	OUT
3	GND	–	38	AD18	I/O	73	GND	–	108	A0	OUT
4	PCLK1	OUT	39	GND	–	74	AD1	I/O	109	RESV	–
5	GND	–	40	AD17	I/O	75	GND	–	110	WR#	OUT
6	PCLK0	OUT	41	CBE3#	I/O	76	AD0	I/O	111	GND	–
7	REQ2#	IN	42	AD16	I/O	77	PCIRST#	OUT	112	RD#	OUT
8	VCCIO *2	–	43	CBE2#	I/O	78	LOBAT	–	113	D15	I/O
9	REQ1#	IN	44	STOP#	I/O	79	MPOWER	OUT	114	D7	I/O
10	VCCIO *2	–	45	LOCK#	I/O	80	INTA#	IN	115	D14	I/O
11	REQ0#	IN	46	PERR#	I/O	81	WAKEUP	IN	116	D6	I/O
12	GNT2#	OUT	47	IRDY#	I/O	82	INTB#	IN	117	D13	I/O
13	GND	–	48	TRDY#	I/O	83	INT1#	IN	118	D5	I/O
14	GNT1#	OUT	49	GND	–	84	INTC#	IN	119	D12	I/O
15	GND	–	50	FRAME#	I/O	85	INT2#	IN	120	D4	I/O
16	GNT0#	OUT	51	GND	–	86	INT0#	IN	121	D11	I/O
17	AD31	I/O	52	DEVSEL#	I/O	87	A17	OUT	122	D3	I/O
18	IDSEL2	OUT	53	PAR	I/O	88	CS1#	OUT	123	D10	I/O
19	AD30	I/O	54	SERR#	I/O	89	A16	OUT	124	D2	I/O
20	IDSEL1	OUT	55	CBE1#	I/O	90	CS0#	OUT	125	D9	I/O
21	AD29	I/O	56	AD15	I/O	91	A15	OUT	126	D1	I/O
22	IDSEL0	OUT	57	CBE0#	I/O	92	IORDY	IN	127	D8	I/O
23	AD27	I/O	58	AD14	I/O	93	GND	–	128	D0	I/O
24	AD28	I/O	59	AD12	I/O	94	A7	OUT	129	VBAT *1	–
25	GND	–	60	AD13	I/O	95	A14	OUT	130	VBAT *1	–
26	AD26	I/O	61	GND	–	96	A6	OUT	131	VBAT *1	–
27	GND	–	62	AD11	I/O	97	A13	OUT	132	VBAT *1	–
28	AD25	I/O	63	GND	–	98	A5	OUT	133	VBAT *1	–
29	AD23	I/O	64	AD10	I/O	99	A12	OUT	134	VBAT *1	–
30	AD24	I/O	65	AD8	I/O	100	A4	OUT	135	VBAT *1	–
31	AD22	I/O	66	AD9	I/O	101	A11	OUT	136	VBAT *1	–
32	CS2#	OUT	67	AD6	I/O	102	A3	OUT	137	GND	–
33	AD21	I/O	68	AD7	I/O	103	A10	OUT	138	GND	–
34	EPCE#	OUT	69	AD4	I/O	104	A2	OUT	139	GND	–
35	AD19	I/O	70	AD5	I/O	105	A9	OUT	140	BRD_IN# *3	–

Blue　PCI bus　　Green　Local bus
Orange　Power Control　　Reverse Power

＊1：AC アダプタにて電源供給時に 5.6V(typ.)電源を供給します。
＊2：SH7751R 電源オン時に 3.3V(typ.)の電源を供給します。
＊3：この端子を Low レベルにすることにより、SH7751R の Local バスが拡張コネクタへ出力します。通常この端子は、拡張ボード側で Low レベルにして下さい。
＊4：PCI バスは常時拡張コネクタへ出力されます。

４．３．拡張ボードを拡張できるエリア

表 4.2 に SH7751R のメモリマップを示します。

拡張ボードは、表 4.2 に示す通り、エリア 1、エリア 4 およびエリア 5 の 3 つのエリアに拡張可能です。

各エリアは、SH7751R 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 4.2　SH7751R のメモリマップ

エリア№	バス幅	空間	空間名	デバイス	備考
エリア 0	16bit	h’00000000 ～ h’007FFFFF	フラッシュメモリエリア	8MB MBM29DL640E-90TN(富士通)×1	
		h’00800000 ～ h’00FFFFFF	―	フラッシュメモリエリアイメージ	
		h’01000000 ～ h’01FFFFFF	―	未使用エリア	
		h’02000000 ～ h’03FFFFFF	―	未使用エリア	
エリア 1	16bit	h’04000000 ～ h’0403FFFF	拡張エリア(CS0)	256KB 拡張ボード拡張エリア０ 拡張コネクタ(/CS0)経由でユーザ任意	
		h’04040000 ～ h’07FFFFFF		拡張エリア(CS0)イメージ	
エリア 2	16bit	h’08000000 ～ h’083FFFFF	LCD コントローラエリア	LCD コントローラ 型名：S1D13806F00A(NEC) 以下、LCDC と略します。	
		h’084000000 ～ h’0BFFFFFF		LCD コントローラエリア(イメージ)	
エリア 3	32bit	h’0C000000 ～ h’0FFFFFFF	SDRAM エリア	64MB EDS2516APTA-75 (ELPIDA)×2	
エリア 4	16bit	h’10000000 ～ h’1003FFFF	拡張エリア(CS1)	256KB 拡張ボード拡張エリア１ 拡張コネクタ(/CS1)経由でユーザ任意	
		h’10040000 ～ h’13FFFFFF		拡張エリア(CS1)イメージ	
エリア 5	16bit	h’14000000 ～ h’1403FFFF	拡張エリア(CS2)	256KB 拡張ボード拡張エリア２ 拡張コネクタ(/CS2)経由でユーザ任意	
		h’14040000 ～ h’17FFFFFF		拡張エリア(CS0)イメージ	
エリア 6	16bit	h’18000000 ～ h’19FFFFFF	PC CARD 用エリア	カードコントローラ 型名：MR-SHPC-01 V2T(丸文) 以下、SH-PCIC と略します。	
		h’1A000000 ～ h’1A7FFFFF	UART エリア(ChA)	UART 型名：ST16C2550CQ48(EXAR) 以下、UART と略します。	H8/3048F-ONE との I/F に使用します。
		h’1A800000 ～ h’1AFFFFFF	UART エリア(ChB)	同上	ホストとのシリアルインタフェースに使用します。
		h’1B000000 ～ h’1B7FFFFF	SIOF エリア	SIOF FPGA にて構成 以下、SIOF と略します。	
		h’1B800000 ～ h’1BFFFFFF	ID レジスタエリア		ディップスイッチの設定を読み出します。
エリア 7	―	h’1C000000 ～ h’1FFFFFFF	―	―	Reserved

４．４．拡張ボードへの電源供給

T-Engine から拡張ボードへ供給できる電圧と電流を表 4.3 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお、表 4.3 の電流量は、参考値です。保証値ではありません。

表 4.3　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備考
VCCIO	3.3V	250mA	SH7751R 電源 ON 時に供給
VBAT	5.6V	3.0A	AC アダプタ接続時に常時供給

４．５．拡張ボードからの割込み入力

図 4.2 に SH7751R の割込み信号の構成を示します。

表 4.4 に各割込み信号のレベル対応表を示します。

図 4.2 に示すとおり、T-Engine ボード内部の各デバイスからの割込み信号は、FPGA で/IRL 信号に変換し、SH7751R の/IRL[3:0]に出力します。

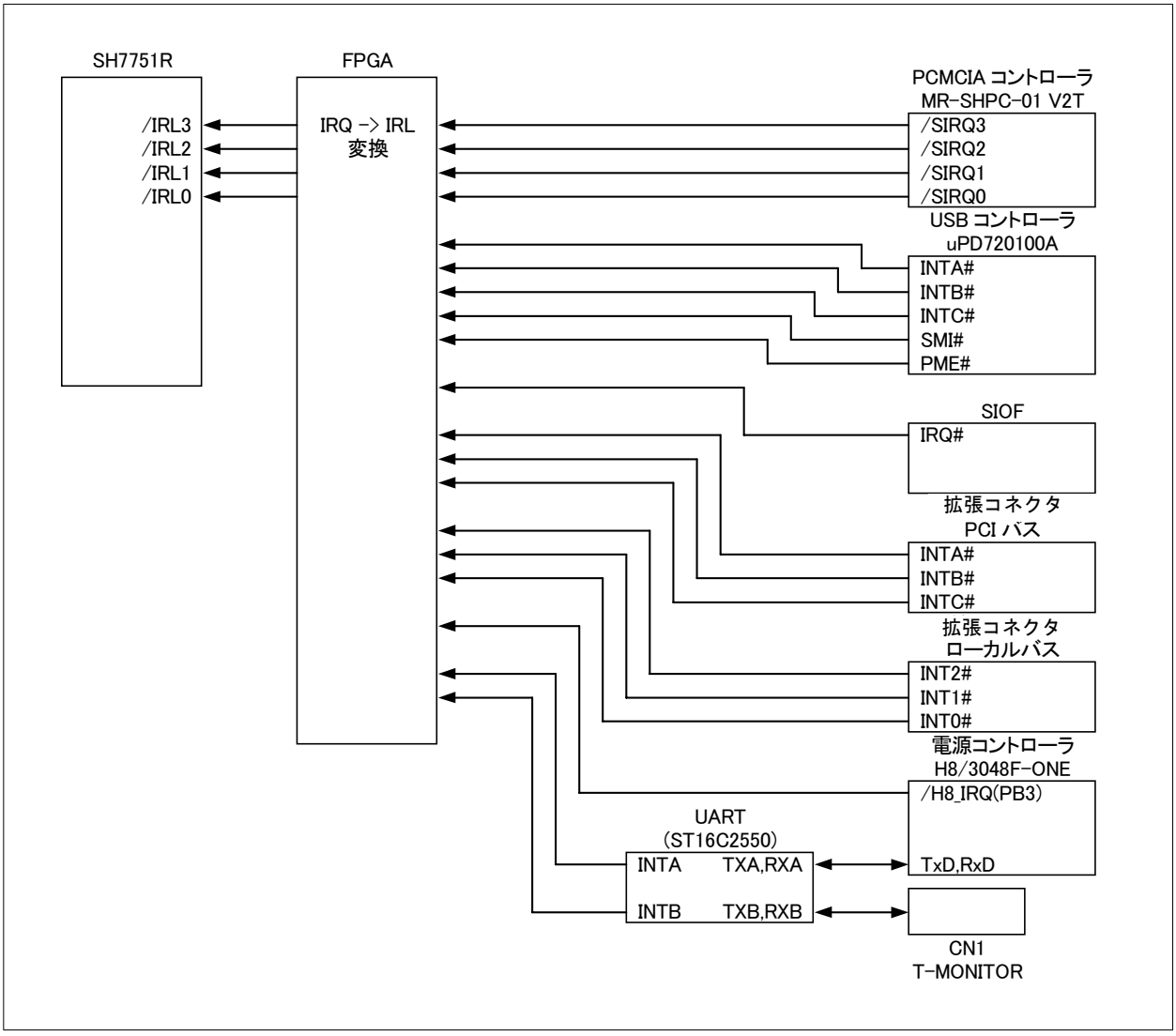


図 4.2　T-Engine 内の拡張コネクタ割込み端子構成

表 4.4　各割込み信号のレベル対応表

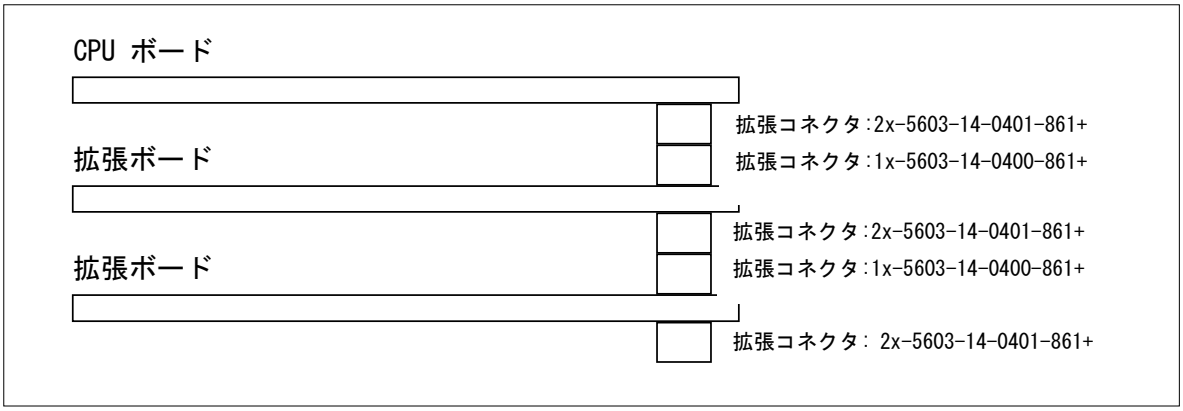
No	割込み要求元	割込み入力端子	割込み信号レベル	備考
1	PC CARD コントローラ(SIRQ3)	/IRL[3:0]	/IRL[3:0]=0010	割込みレベル 13
2	PC CARD コントローラ(SIRQ2)	/IRL[3:0]	/IRL[3:0]=0101	割込みレベル 10
3	PC CARD コントローラ(SIRQ1)	/IRL[3:0]	/IRL[3:0]=1000	割込みレベル 7
4	PC CARD コントローラ(SIRQ0)	/IRL[3:0]	/IRL[3:0]=1110	割込みレベル 1
5	USB コントローラ(INTA#)	/IRL[3:0]	/IRL[3:0]=1001	割込みレベル 6
6	USB コントローラ(INTC#)	/IRL[3:0]	/IRL[3:0]=1001	割込みレベル 6
7	SIOF	/IRL[3:0]	/IRL[3:0]=1010	割込みレベル 4
8	UART コントローラ chA	/IRL[3:0]	/IRL[3:0]=1011	割込みレベル 4
9	UART コントローラ chB	/IRL[3:0]	/IRL[3:0]=0100	割込みレベル 11
10	H8/3048F-ONE	/IRL[3:0]	/IRL[3:0]=0011	割込みレベル 12
11	PCI バス(INTA#)	/IRL[3:0]	/IRL[3:0]=0000	割込みレベル 15
12	PCI バス(INTB#)	/IRL[3:0]	/IRL[3:0]=0110	割込みレベル 9
13	PCI バス(INTC#)	/IRL[3:0]	/IRL[3:0]=1100	割込みレベル 3
14	拡張コネクタ(INT2#)	/IRL[3:0]	/IRL[3:0]=1101	割込みレベル 2
15	拡張コネクタ(INT1#)	/IRL[3:0]	/IRL[3:0]=0111	割込みレベル 8
16	拡張コネクタ(INT0#)	/IRL[3:0]	/IRL[3:0]=0001	割込みレベル 14
17	LCD コントローラ(Vsync)	/IRL[3:0]	/IRL[3:0]=0101	割込みレベル 10

４．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 4.3 に拡張ボードのスタック構成を示します。

図 4.3　拡張ボードのスタック構成

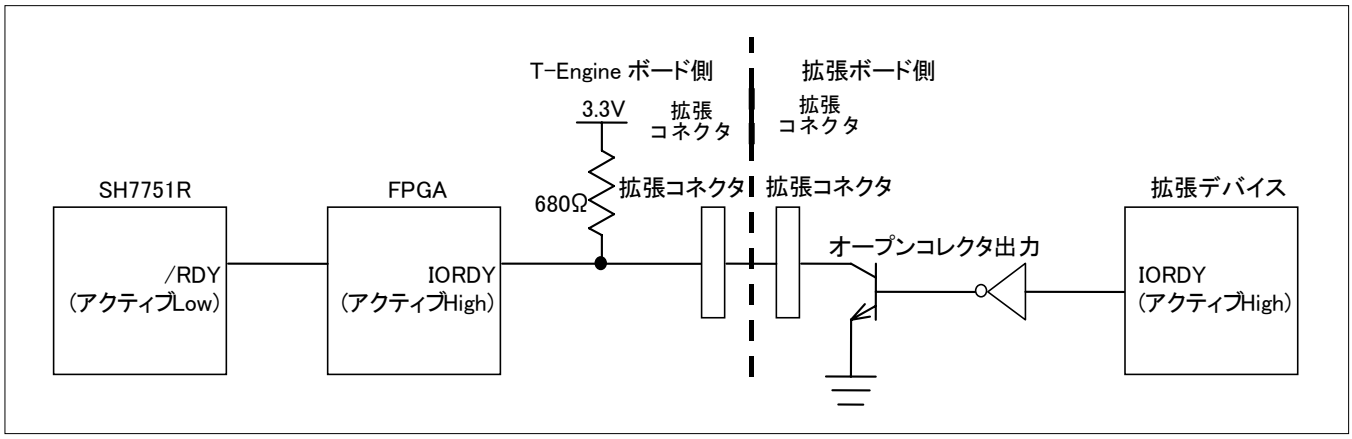


４．７．拡張ボードの IORDY 出力

T-Engine ボードには、拡張ボードの IORDY 入力用として、拡張コネクタに 1 本の IORDY 入力端子を設けています。拡張ボードから IORDY を出力する場合には、複数の拡張ボードをスタックした際の IORDY 出力の衝突を防ぐために、オープンコレクタ出力としてください。

なお、T-Engine ボード側の IORDY 端子は、680Ωでプルアップしています。図 4.4 に拡張コネクタの IORDY 端子の構成図を示します。

図 4.4　拡張コネクタの IORDY 端子の構成図



４．８．AC タイミングについて

図 4.5 に示すように拡張コネクタに出力している SH7751R のバス信号は、バスバッファを介して出力しています。そのため、SH7751R のバスの AC タイミングに対して約 10nsec バス信号が遅延します。拡張ボードは、この遅延時間を考慮して設計して下さい。図 4.6 に SH7751R の基本バスタイミングを示します。

なお、SH7751R のバスタイミングの詳細については、SH7751R ハードウェアマニュアルを参照して下さい。

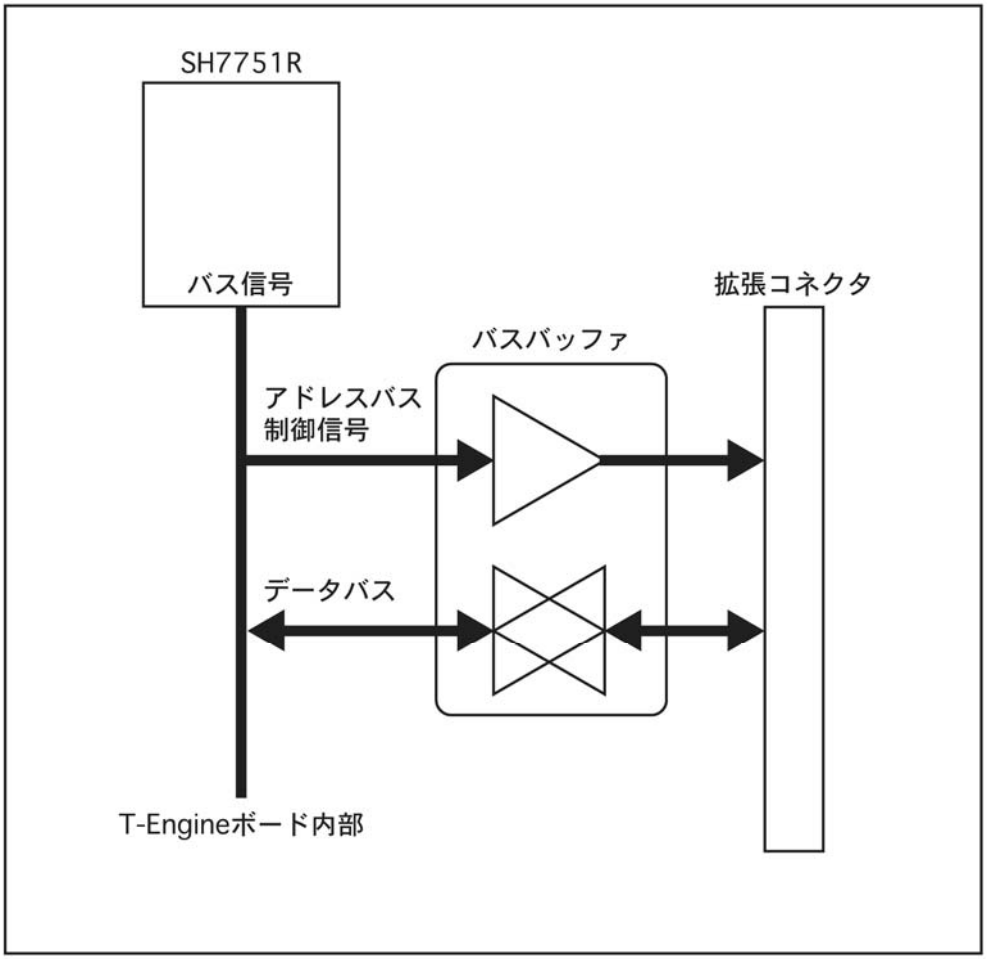
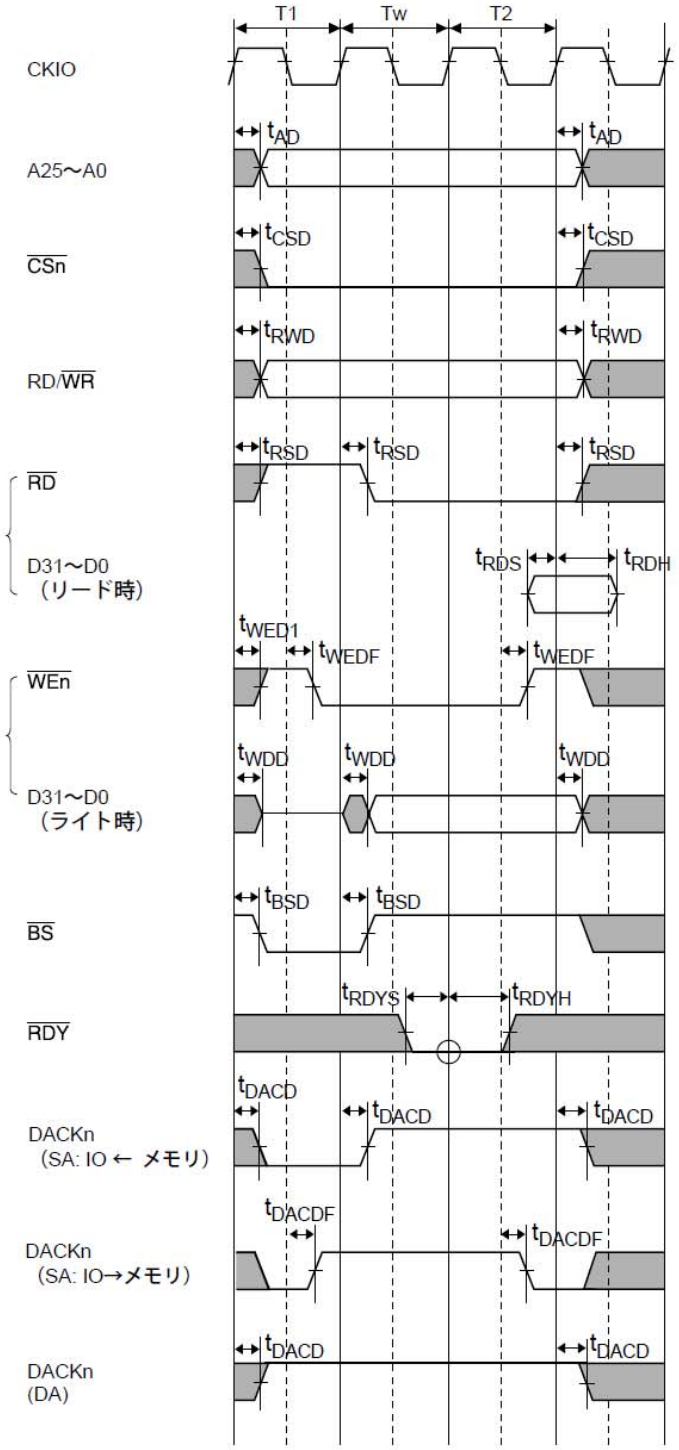


図 4.5　拡張コネクタのバスバッファ構成



【注】IO ：DACKデバイス
SA：シングルアドレスDMA転送
DA：デュアルアドレスDMA転送
DACKはハイアクティブ設定

図 4.6　　SH7751R基本サイクル(ウエイト１)

第５章 SH7145 拡張ボード設計ガイド

本章では、SH7145 μT-Engine の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボードとは、ユーザ任意のデバイス等が搭載されており、μT-Engine 上の拡張コネクタに出力している SH7145 のアドレスバス、データバス、および制御信号やシリアル（調歩同期式）により制御可能なボードです。

５．１．SH7145μT-Engine 拡張コネクタ仕様

μT-Engine 実装コネクタ型式：2x-5603-14-0102-861+（京セラエルコ）

適合コネクタ型名：1x-5603-14-0102-861+（京セラエルコ）

図 5.1 に拡張コネクタの配置図を示します。

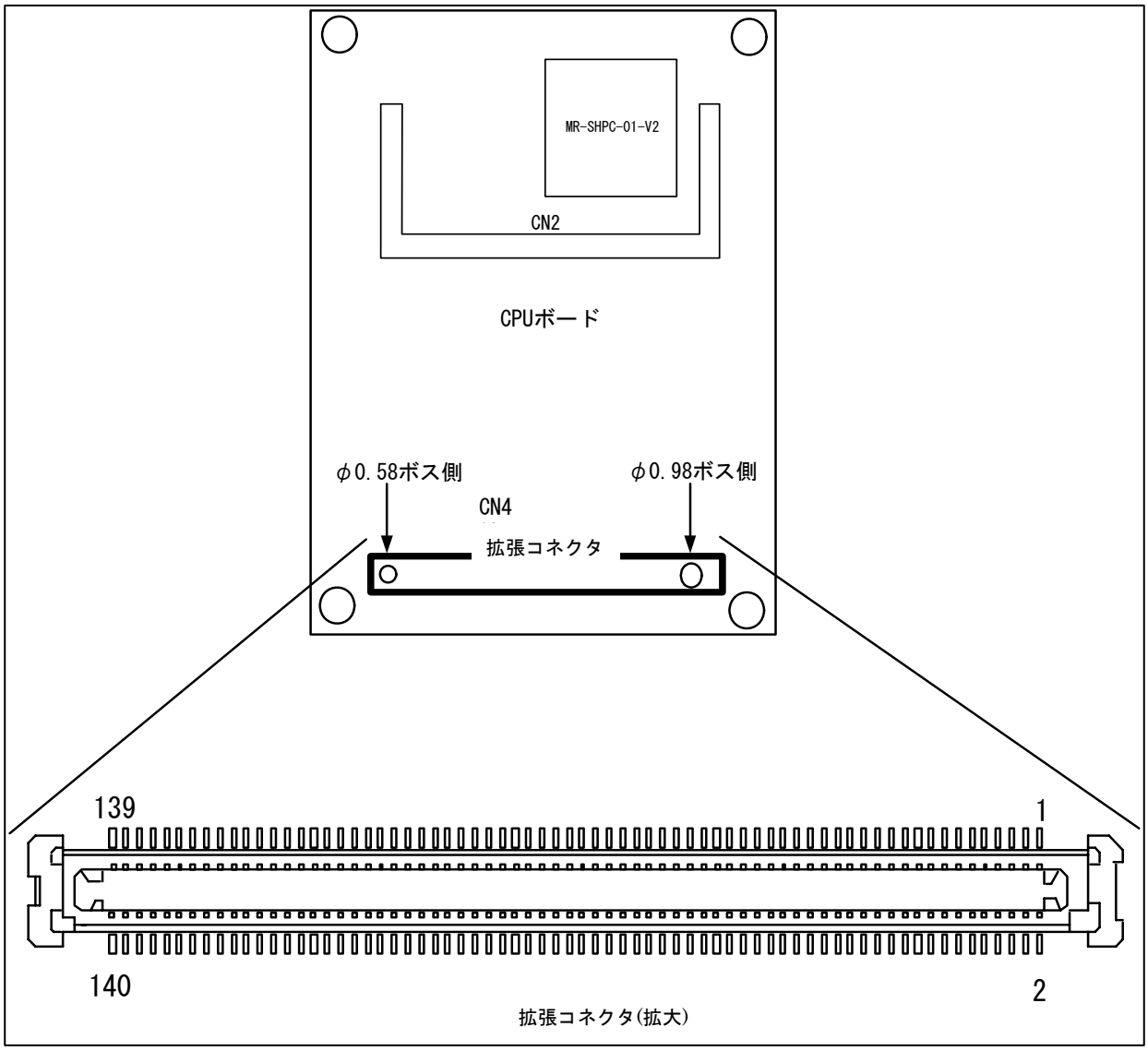


図 5.1　拡張コネクタの配置図

５．２　拡張コネクタ信号配置

表 5.1 に拡張コネクタ信号配置を示します。

表 5.1　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	–	–	36	PD29	O	71	–	–	106	–	–
2	–	–	37	PD30	O	72	–	–	107	–	–
3	–	–	38	PD31	O	73	_EPROMCE	O	108	DBGMD	I
4	–	–	39	GND	–	74	_CS3	O	109	GND	–
5	D0	I/O	40	GND	–	75	–	–	110	GND	–
6	D1	I/O	41	CK	O	76	PE13/TIOC4B	O	111	TCK	I
7	D2	I/O	42	GND	–	77	PE14/TIOC4C	O	112	TMS	I
8	D3	I/O	43	GND	–	78	PE15/TIOC4D	O	113	_TRST	I
9	D4	I/O	44	GND	–	79	GND	–	114	TDI	I
10	D5	I/O	45	A0	O	80	GND	–	115	TDO	O
11	D6	I/O	46	A1	O	81	_RD	O	116	_ASEBRKAK	O
12	D7	I/O	47	A2	O	82	_WAIT	I	117	3.3VSB	–
13	D8	I/O	48	A3	O	83	_WRL	O	118	3.3VSB	–
14	D9	I/O	49	A4	O	84	_WRH	O	119	3.3VSB	–
15	D10	I/O	50	A5	O	85	–	–	120	3.3VSB	–
16	D11	I/O	51	A6	O	86	–	–	121	PE0/TIOC0A	O
17	D12	I/O	52	A7	O	87	GND	–	122	PE1/TIOC0B	O
18	D13	I/O	53	A8	O	88	GND	–	123	PE2/TIOC0C	O
19	D14	I/O	54	A9	O	89	–	–	124	PE3/TIOC0D	O
20	D15	I/O	55	A10	O	90	–	–	125	PE6/TIOC2A	O
21	GND	–	56	A11	O	91	–	–	126	–	–
22	GND	–	57	A12	O	92	_IRQ3	I	127	3.3V	–
23	PD16	O	58	A13	O	93	NMI_IN	I	128	3.3V	–
24	PD17	O	59	A14	O	94	_RES_IN	I	129	3.3V	–
25	PD18	O	60	A15	O	95	_RES_OUT	O	130	3.3V	–
26	PD19	O	61	GND	–	96	–	–	131	3.3V	–
27	–	–	62	GND	–	97	–	–	132	3.3V	–
28	PD21	I/O	63	A16	O	98	–	–	133	VBAT_IN	–
29	CONT1	O	64	A17	O	99	_ROMSEL	I	134	VBAT_IN	–
30	CONT2	O	65	A18	O	100	–	–	135	VBAT_IN	–
31	_DREQ0	I	66	A19	O	101	GND	–	136	VBAT_IN	–
32	PD25	I/O	67	A20	O	102	GND	–	137	GND	–
33	DACK0	O	68	A21	O	103	SCI_TXD3	O	138	GND	–
34	PD27	I/O	69	–	–	104	SCI_RXD3	I	139	GND	–
35	PD28	O	70	–	–	105	–	–	140	GND	–

５．３．拡張ボードを拡張できるエリア

表 5.2 に SH7145μT-Engine での SH7145 メモリマップを示します。

拡張ボードは、表 5.2 に示す通り、CS3 空間に拡張可能です。

CS3 空間は、SH7145 内蔵のバスコントローラの設定により、ウェイト数の設定が可能です。

表 5.2　SH7145 のメモリマップ

空間名	バス幅	空間	デバイス	備考
CS0 空間	16bit	h’00000000 ～ h’000FFFFF	Flash Memory 1MB MBM29LV800TA70PBT(富士通)×1	ｿﾌﾄｳｪｲﾄ=3 ｶﾞｲﾌﾞｳｪｲﾄ=0 ｱｲﾄﾞﾙｻｲｸﾙ=1
		h’00100000 ～ h’002FFFFF	—	
		h’00300000 ～ h’003FFFFF	SRAM 1MB TC55VEM316AXBN55 (東芝)×1	
CS1 空間	16bit	h’00400000 ～ h’004000FF	SD Card I/F コントローラ MN5774(三菱)	ｿﾌﾄｳｪｲﾄ=3 ｶﾞｲﾌﾞｳｪｲﾄ=可変 ｱｲﾄﾞﾙｻｲｸﾙ=1
		h’00400100 ～ h’007FFFFF	イメージ	
CS2 空間	16bit	h’00800000 ～ h’00BFFFFF	CF Card I/F コントローラ MR-SHPC-01 V2T()	ｿﾌﾄｳｪｲﾄ=5 ｶﾞｲﾌﾞｳｪｲﾄ=可変 ｱｲﾄﾞﾙｻｲｸﾙ=1
CS3 空間	16bit	h’00C00000 ～ h’00FFFFFF	拡張コネクタ I/F	ｿﾌﾄｳｪｲﾄ=任意 ｶﾞｲﾌﾞｳｪｲﾄ=任意 ｱｲﾄﾞﾙｻｲｸﾙ=任意
リザーブ	—	h’01000000 ～ h’FFFF7FFF	—	
周辺 I/O	—	h’FFFF8000 ～ h’FFFFBFFF	—	
リザーブ	—	h’FFFFC000 ～ h’FFFFDFFF	—	
内蔵 RAM	—	h’FFFFE000 ～ h’FFFFFFFF	内蔵 RAM 8KB	

５．４．拡張ボードへの電源供給

μT-Engine から拡張ボードへ供給できる電圧と電流を表 5.3 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお、表 5.3 の電流量は、参考値です。保証値ではありません。

表 5.3　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備考
3.3V	3.3V	250mA	3.3V　: SH7145 電源 ON 時に供給
3.3VSB			3.3VSB : AC アダプタ接続時に常時供給

● 許容電流量は、3.3V と 3.3VSB の総和です。

● μT-Engine ボードに CF カードを使用している場合は、その機器とカードの消費電流を許容電流量から差し引いた電流量が許容電流量となります。例えば、CF カードの電源として 3.3V/100mA を使用している場合には、拡張コネクタで使用できる 3.3V の許容電流は、150mA(250mA-100mA)となります。

５．５．拡張ボードからの割込み入力

μT-Engine には、拡張ボードの割込み入力用として、拡張コネクタに_IRQ3 の割込み入力端子を設けています。

また、表 5.4 に各割り込み端子の割込みレベルを示します。

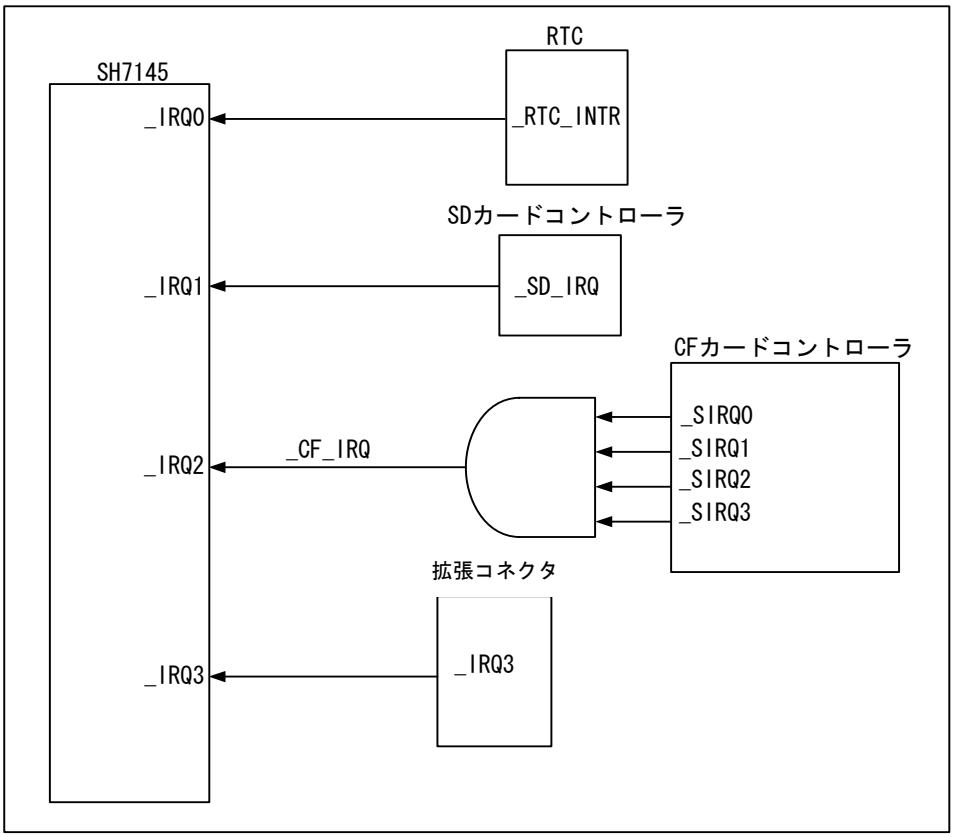


図 5.3　μT-Engine 割込み端子構成

表 5.4　各割り込み端子の割り込みレベル

No.	割込み要求元	割込み入力端子	割込み信号レベル	備考
1	RTC コントローラ	_IRQ0	アクティブ Low	
2	SD カードコントローラ	_IRQ1	アクティブ Low	
3	PC CARD コントローラ	_IRQ2	アクティブ Low	
4	拡張コネクタ/IRQ3	_IRQ3	アクティブ Low	

５．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 5.4 に拡張ボードのスタック構成を示します。

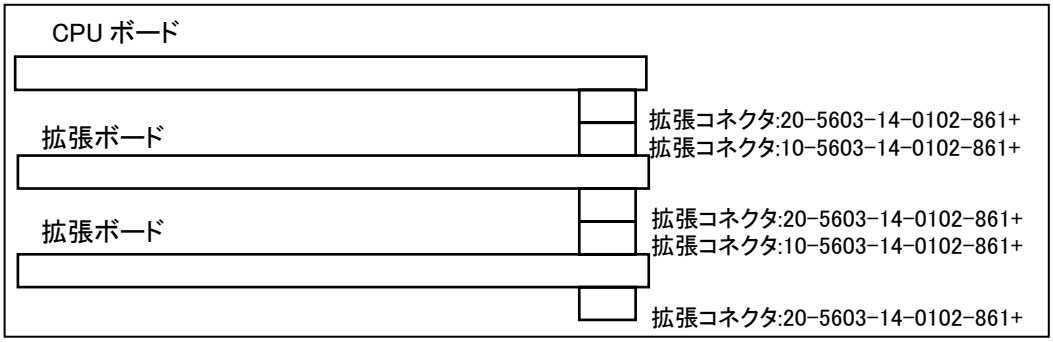


図 5.4　拡張ボードのスタック構成

５．７．/WAIT 入力

μT-Engine には、拡張ボードの/WAIT 入力用として、拡張コネクタに 1 本の/WAIT 入力端子を設けています。

拡張ボードから WAIT を出力する場合には、複数の拡張ボードをスタックした際の/WAIT 出力の衝突を防ぐために、オープンコレクタ出力としてください。なお、μT-Engine 側の/WAIT 端子は、680Ωでプルアップしています。図 5.5 に拡張コネクタの/WAIT 端子の構成図を示します。

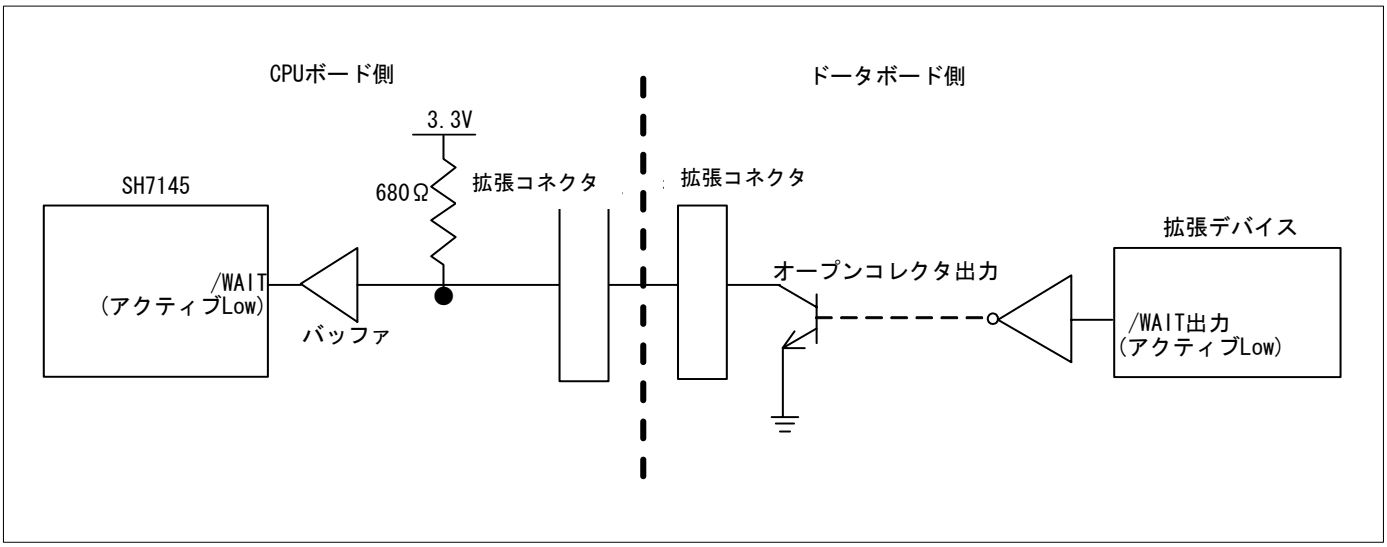


図 5.5　拡張コネクタの/WAIT 端子の構成図

■　第６章 M32104／M32192μT-Engine 拡張ボード設計ガイド

本設計ガイドでは、M32104／M32192 搭載μT-Engine ボードの拡張コネクタ経由で接続する拡張ボードの設計ガイドラインについて説明します。

拡張ボードとは、μT-Engine ボードの拡張コネクタ経由で接続する、機能拡張用拡張ボードの総称です。拡張コネクタの M32104／M32192 アドレスバス、データバス、バス制御信号および I/O ポートをユーザーのハードウェア IP と接続することにより、μT-Engine ボードをハードウェア IP 検証・実行用の部品として使用することができます。

６．１ M32104／M32192μT-Engine 拡張コネクタ仕様

６．１．１．　拡張コネクタの型名

拡張ボードは、以下に示す拡張コネクタを使ってμT-Engine ボードとスタッキング接続します。拡張コネクタにはプラグ(PLUG)とリセプタクル(RECE)の 2 種類があり、μT-Engine ボードには RECE のみ実装しています。

拡張ボードをスタッキング接続するために、μT-Engine ボード側のコネクタには PLUG を、反対側には RECE を配置してください。拡張コネクタのメーカ名と型番を以下に示します。

1　PLUG：京セラエルコ 1x 5603 14 0202 861+
2　RECE：京セラエルコ 2x 5603 14 0202 861+

T-Engine とμT-Engine でコネクタ外形は共通ですが、信号配置は異なります。このため、キー構造（コネクタ内部の凹凸）により誤挿入を防止しています。

キー構造はキーコード（2x 5603 14 xxxx 861+の xxxx 部）によって識別可能です。本製品では、キーコード 0202 を使用しています。このコネクタに接続可能なキーコードは、0202 および 0000（すべてのコネクタに接続できるマスタ）の 2 種類となります。

６．１．２．　拡張ボードのスタッキング

拡張ボードのスタック数は、最大 2 枚です。また、スタックする拡張ボードの電源容量（3.3V 400mA まで）に注意してください。

図 6.1 に、拡張ボードのスタッキング例を示します。

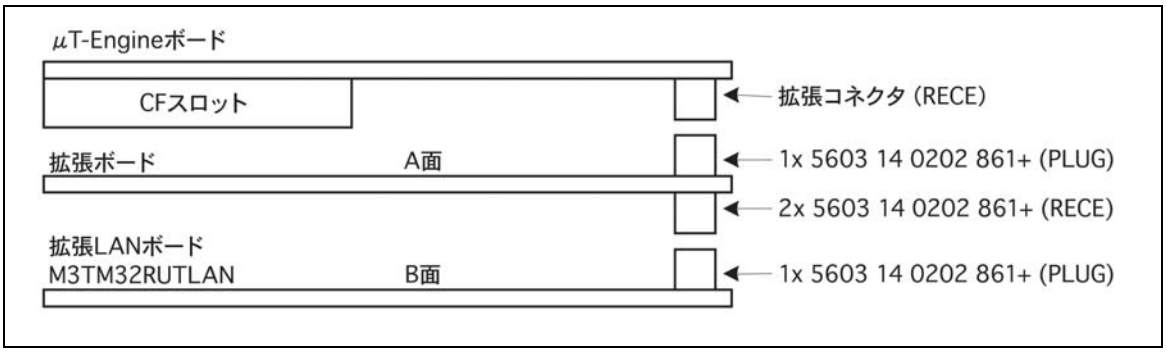


図 6.1　拡張ボードのスタッキング例

６．１．３．　拡張ボードの基板サイズ

拡張ボードは、μT-Engine の基板と同じサイズ（85mm×60mm）にすることを推奨します。

拡張ボード A 面（CPU ボード側）には、高さ 2mm 以上の部品を配置しないでください。

拡張ボード B 面（拡張 LAN ボード側）には、高さ 7mm 以上の部品を配置しないでください。
ただし、拡張 LAN ボードを使用せずに PLUG だけを実装する下端ボードの場合は、B 面に高さ 15mm 未満の部品を配置できます。

基板寸法に関する規定を以下に示します。

基板厚は、1.6mm とします。

基板取り付け穴φ2.1mm を四隅に配置してください。穴位置は、基板端から 2.5mm とします。穴の中心から半径 2.5mm の範囲には、部品やパターン（GND は除く）を配置しないでください。
拡張コネクタのボス穴中心は、基板端から 5.5mm に配置してください。拡張コネクタのセンターは基板センターと同じです。

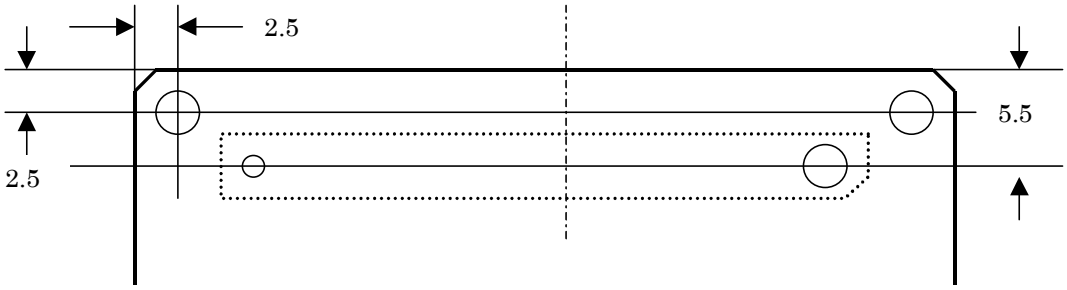
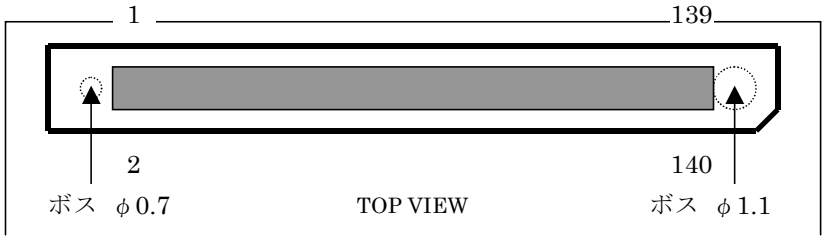


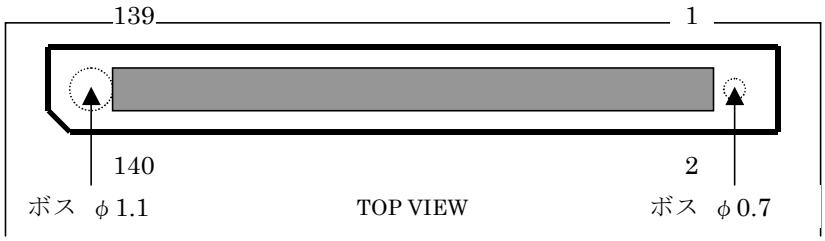
図 6.2　拡張コネクタ周辺の寸法

６．１．４．　拡張コネクタの実装方向

図 6.3 に、拡張コネクタの実装方向を示します。ピン番号は、コネクタメーカーが指定する部品としてのピン番号と反転していますので、パターン設計時にご注意ください。



A 面 PLUG



B 面 RECE

図 6.3　拡張コネクタの実装方向

６．２． 拡張コネクタの信号配置

６．２．１ 拡張コネクタ信号配置

表 6.1 に、拡張コネクタの信号配置を示します。

表 6.1 拡張コネクタの信号配置 (1/4)

No.	拡張コネクタ信号名	M32104 μT-Engine 信号名	M32192 μT-Engine 信号名	I/O	Pull up or down	バッファ
1	GND	GND	GND	―	―	―
2	GND	GND	GND	―	―	―
3	GND	GND	GND	―	―	―
4	GND	GND	GND	―	―	―
5	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
6	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
7	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
8	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
9	JTAG_RST#	JTAG_RST#	JTAG_RST#	IN	―	なし
10	TRST#	TRST#	TRST#	IN	UP	なし
11	TMS	TMS	TMS	IN	UP	なし
12	TDO	TDO	TDO	OUT	―	なし
13	TDI	TDI	TDI	IN	UP	なし
14	TCK	TCK	TCK	IN	DOWN	なし
15	GND	GND	GND	―	―	―
16	GND	GND	GND	―	―	―
17	P77	P77	P83	I/O	UP	なし
18	P76	P76	P85	I/O	UP	なし
19	Reserve	NC	NC	―	UP	なし
20	Reserve	NC	NC	―	UP	なし
21	P67	P67	P93	I/O	UP	なし
22	P66	P66	P82	I/O	UP	なし
23	P65	P65	P84	I/O	UP	なし
24	P64	P64	P86	I/O	UP	なし
25	P63	P63	P94	I/O	UP	なし
26	P62	P62	P87	I/O	UP	なし
27	GND	GND	GND	―	―	―
28	GND	GND	GND	―	―	―
29	P27	P27	P95	I/O	UP	なし
30	P26	P26	NC	I/O	UP	なし
31	P25	P25	NC	I/O	UP	なし
32	P24	P24	P96	I/O	UP	なし
33	EXTPWR (外部電源)	NC	NC	―	―	―
34	EXTPWR (外部電源)	NC	NC	―	―	―
35	V33SB (常備電源)	NC	NC	―	―	―

表 6.1　拡張コネクタの信号配置 (2/4)

No.	拡張コネクタ信号名	M32104 μT-Engine 信号名	M32192 μT-Engine 信号名	I/O	Pull up or down	バッファ
36	V33SB (常備電源)	NC	NC	―	―	―
37	GND	GND	GND	―	―	―
38	GND	GND	GND	―	―	―
39	INT3#	NC	TIN27	IN	―	なし
40	INT2#	NC	TIN18	IN	―	なし
41	BBSEL6#	NC	NC	OUT	―	なし
42	BBSEL5#	NC	NC	OUT	―	なし
43	SW2	SW2	SW2	OUT	UP	なし
44	SW1	SW1	SW1	OUT	UP	なし
45	LED2	LED2	LED2	OUT	DOWN	なし
46	LED1	LED1	LED1	OUT	DOWN	なし
47	GND	GND	GND	―	―	―
48	GND	GND	GND	―	―	―
49	EXREADY#	EXREADY#	MPU_WAIT# *1	IN	DOWN	なし
50	EXINT	EXINT	TIN24	IN	UP	なし
51	BCS1#	BCS1#	BUS_CS# *1	OUT	UP	あり
52	BWS3#	BWS3#	NC	OUT	―	あり
53	BWS2#	BWS2#	NC	OUT	―	あり
54	BWS1#	BWS1#	BUS_BLW# *1	OUT	―	あり
55	BWS0#	BWS0#	BUS_BHW# *1	OUT	―	あり
56	BRS#	BRS#	BUS_RD# *1	OUT	―	あり
57	GND	GND	GND	―	―	―
58	GND	GND	GND	―	―	―
59	GND	GND	GND	―	―	―
60	EXCLK	EXCLK	BCLK	OUT	―	あり
61	GND	GND	GND	―	―	―
62	GND	GND	GND	―	―	―
63	RESET#	RESET#	RESET#	OUT	―	なし
64	GND	GND	GND	―	―	―
65	GND	GND	GND	―	―	―
66	BA30	BA30	BA30	OUT	―	あり
67	BA29	BA29	BA29	OUT	―	あり
68	BA28	BA28	BA28	OUT	―	あり
69	BA27	BA27	BA27	OUT	―	あり
70	BA26	BA26	BA26	OUT	―	あり

*1：MCU 直接ではなく、制御 PLD にて生成する信号です。

表 6.1　拡張コネクタの信号配置 (3/4)

No.	拡張コネクタ 信号名	M32104 μT-Engine 信号名	M32192 μT-Engine 信号名	I/O	Pull up or down	バッファ
71	BA25	BA25	BA25	OUT	―	あり
72	BA24	BA24	BA24	OUT	―	あり
73	GND	GND	GND	―	―	―
74	GND	GND	GND	―	―	―
75	BA23	BA23	BA23	OUT	―	あり
76	BA22	BA22	BA22	OUT	―	あり
77	BA21	BA21	BA21	OUT	―	あり
78	BA20	BA20	BA20	OUT	―	あり
79	BA19	BA19	BA19	OUT	―	あり
80	BA18	BA18	BA18	OUT	―	あり
81	BA17	BA17	BA17	OUT	―	あり
82	BA16	BA16	BA16	OUT	―	あり
83	GND	GND	GND	―	―	―
84	GND	GND	GND	―	―	―
85	BA15	BA15	BA15	OUT	―	あり
86	BA14	BA14	BA14	OUT	―	あり
87	BA13	BA13	BA13	OUT	―	あり
88	BA12	BA12	BA12	OUT	―	あり
89	BA11	BA11	BA11	OUT	―	あり
90	BA10	BA10	BA10	OUT	―	あり
91	BA9	BA9	BA9	OUT	―	あり
92	BA8	BA8	BA8（“L”固定）	OUT	―	あり
93	GND	GND	GND	―	―	―
94	GND	GND	GND	―	―	―
95	BD31	BD31	NC	I/O	―	あり
96	BD30	BD30	NC	I/O	―	あり
97	BD29	BD29	NC	I/O	―	あり
98	BD28	BD28	NC	I/O	―	あり
99	BD27	BD27	NC	I/O	―	あり
100	BD26	BD26	NC	I/O	―	あり
101	BD25	BD25	NC	I/O	―	あり
102	BD24	BD24	NC	I/O	―	あり
103	GND	GND	GND	―	―	―
104	GND	GND	GND	―	―	―
105	BD23	BD23	NC	I/O	―	あり

表 6.1　拡張コネクタの信号配置 (4/4)

No.	拡張コネクタ 信号名	M32104 μT-Engine 信号名	M32192 μT-Engine 信号名	I/O	Pull up or down	バッファ
106	BD22	BD22	NC	I/O	―	あり
107	BD21	BD21	NC	I/O	―	あり
108	BD20	BD20	NC	I/O	―	あり
109	BD19	BD19	NC	I/O	―	あり
110	BD18	BD18	NC	I/O	―	あり
111	BD17	BD17	NC	I/O	―	あり
112	BD16	BD16	NC	I/O	―	あり
113	GND	GND	GND	―	―	―
114	GND	GND	GND	―	―	―
115	BD15	BD15	BD15	I/O	―	あり
116	BD14	BD14	BD14	I/O	―	あり
117	BD13	BD13	BD13	I/O	―	あり
118	BD12	BD12	BD12	I/O	―	あり
119	BD11	BD11	BD11	I/O	―	あり
120	BD10	BD10	BD10	I/O	―	あり
121	BD9	BD9	BD9	I/O	―	あり
122	BD8	BD8	BD8	I/O	―	あり
123	GND	GND	GND	―	―	―
124	GND	GND	GND	―	―	―
125	BD7	BD7	BD7	I/O	―	あり
126	BD6	BD6	BD6	I/O	―	あり
127	BD5	BD5	BD5	I/O	―	あり
128	BD4	BD4	BD4	I/O	―	あり
129	BD3	BD3	BD3	I/O	―	あり
130	BD2	BD2	BD2	I/O	―	あり
131	BD1	BD1	BD1	I/O	―	あり
132	BD0	BD0	BD0	I/O	―	あり
133	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
134	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
135	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
136	V33 (3.3V 電源)	V33 (3.3V 電源)	V33 (3.3V 電源)	―	―	―
137	GND	GND	GND	―	―	―
138	GND	GND	GND	―	―	―
139	GND	GND	GND	―	―	―
140	GND	GND	GND	―	―	―

６．２．２． 拡張コネクタの I/O ポート割り当て

表 6.2 に、μT-Engine ボード拡張コネクタの I/O ポート割り当て一覧を示します。

表 6.2 μT-Engine ボード拡張コネクタの I/O ポート割り当て一覧

No.	M32104 μT-Engine 信号名	M32192 μT-Engine 信号名	M3T-M32RUT-LAN (REV.B)	M3T-M32RUT-LCD
17	P77/MFTOB/CTS2#/INT12	P83/RXDO/TO25	CTS2 (ポート)	NC
18	P76/MFTXOB/RTS2#/INT11	P85/TXD1/TO23	ARXCLK# (タイマ出力)	NC
19	NC	NC	NC	NC
20	NC	NC	NC	NC
21	P67/RXD2	P93/TO16/SCLKI5/SCLKO5	ARSTART (ポート)	NC
22	P66/TXD2	P82/TXDO/TO26	TXD2	NC
23	P65/RD/WR#/SCLK2/INT10	P84/SCLKIO/SCLKOO/TO24	SCLK2	NC
24	P64/RXD1	P86/RXD1/TO22	RXD1	NC
25	P63/TXD1	P94/TO17/TXD5/DD15	XRST# (ポート)	NC
26	P62/SCLK1/MFTOA/INT9	P87/SCLKI1/SCLKO1/TO21	SCLK1	NC
29	P27/DMACKO/CTS1#/INT7	P95/TO18/RXD5/DD14	CTS1 (ポート)	NC
30	P26/DMREQO/RTS1#/INT6	NC	NC	INT6_104
31	P25/HLDA#/DMACK1/MFT1B	NC	NC	NC
32	P24/HOLD#/DMREQ1/MFT1A	P96/TO19/DD13	READ (ポート)	NC
33	NC	NC	NC	EXTPWR
34	NC	NC	NC	EXTPWR
35	NC	NC	NC	V33SB
36	NC	NC	NC	V33SB
39	NC	P72/HREQ#/TIN27	NC	NC
40	NC	P132/TIN18/DIN2	NC	INT2_700#
41	NC	NC (“H”固定)	NC	BBSEL6# (未使用)
42	NC	NC (“H”固定)	NC	BBSEL5# (未使用)
49	P55/READY#/MFT2A/INT4	P153/TIN3/WAIT#	EXREADY#	EXREADY#
50	P51/INTO/MFT3A	P103/TO11/TIN24	EXINT	NC

*1 拡張コネクタの EXREADY#は、各ボードからオープンコレクタ出力しているため、共用可能です。

*2 M32104 μT-Engine ボードでは BBSEL5#, BBSEL6#が NC となるため、M3T-M32RUT-LCD では 1MΩ のプルアップ抵抗を付けています。

*3 M32192 μT-Engine ボードへの EXREADY#は、制御 PLD により WAIT#へ変換してから渡します。

６．３． 拡張できるエリア

６．３．１． M32104 搭載μT-Engine ボード

表 6.4 に、M32104 搭載μT-Engine ボードでの M32104 アドレスマップを示します。

拡張ボードは、CS1 領域に割り当てることができます。CS1 領域は、M32104 内蔵チップセレクトコントローラの設定により、ウェイト数やバス幅の設定が可能です。

M32104 アドレス	CS	
H'0000_0000 : H'003F_FFFF	CS0 領域 （4MB）	外付けフラッシュ ROM 領域（4MB）
H'0040_0000 : H'005F_FFFF	－	未使用領域
H'0060_0000 : H'0060_FFFF H'0061_0000 : H'006F_FFFF	－	M32104 内蔵 RAM 領域（64KB）
		使用禁止領域
H'0070_0000 : H'007F_FFFF	－	M32104 内蔵 SFR 領域（1MB）
H'0080_0000 : H'00FF_FFFF	－	未使用領域
H'0100_0000 : H'010F_FFFF H'0110_0000 : H'011F_FFFF H'0120_0000 : H'012F_FFFF H'0130_0000 : H'013F_FFFF H'0140_0000 : H'017F_FFFF H'0180_0000 : H'01FF_FFFF	CS1 領域 （16MB）	拡張 LAN ボード予約領域（1MB）
		拡張 Bluetooth ボード予約領域（1MB）
		拡張 FPGA ボード予約領域（1MB）
		拡張 LCD ボード予約領域（1MB）
		LCD コントローラ予約領域（4MB）
		未使用領域
H'0200_0000 : H'02FF_FFFF	CS3 領域 （16MB）	制御 PLD 領域（16MB）
H'0300_0000 : H'03FF_FFFF	CS2 領域 （16MB）	コンパクトフラッシュ領域（16MB）
H'0400_0000 : H'04FF_FFFF	－	外付け SDRAM 領域（16MB）
H'0500_0000 : H'1FFF_FFFF	－	未使用領域

表 6.4 M32104 アドレスマップ

６．３．２． M32192 搭載μT-Engine ボード

表 6.5 に、M32192 搭載μT－Engine ボードでの M32192 アドレスマップを示します。

拡張ボードは、CS1 領域に割り当てることができます。CS1 領域は、M32192 内蔵チップセレクトコントローラの設定により、ウェイト数やバス幅の設定が可能です。

M32192 アドレス	CS	外部拡張モード
H'0000_0000 : H'000F_FFFF	－	M32192 内蔵 ROM 領域（1MB）
H'0010_0000 : H'001F_FFFF	CS0 領域（7MB）	外付け SRAM 領域（1MB）
H'0020_0000 : H'0027_FFFF		制御 PLD 領域（512KB）
H'0028_0000 : H'002F_FFFF		コンパクトフラッシュ領域（512KB）
H'0030_0000 : H'007F_FFFF		使用禁止領域
H'0080_0000 : H'0080_3FFF	－	SFR 領域（16KB）
H'0080_4000 : H'0082_FFFF		M32192 内蔵 RAM 領域（176KB）
H'0083_0000 : H'00FF_FFFF		使用禁止領域
H'0100_0000 : H'010F_FFFF		拡張 LAN ボード予約領域（1MB）
H'0110_0000 : H'011F_FFFF		拡張 Bluetooth ボード予約領域（1MB）
H'0120_0000 : H'012F_FFFF		拡張 FPGA ボード予約領域（1MB）
H'0130_0000 : H'013F_FFFF		拡張 LCD ボード予約領域（1MB）
H'0140_0000 : H'017F_FFFF		LCD コントローラ予約領域（4MB）
H'0180_0000 : H'01FF_FFFF	－	使用禁止領域
H'0200_0000 : H'027F_FFFF	CS2 領域（8MB）	未使用領域（8MB）
H'0280_0000 : H'02FF_FFFF	－	使用禁止領域
H'0300_0000 : H'037F_FFFF	CS3 領域（8MB）	未使用領域（8MB）
H'0380_0000 : H'03FF_FFFF	－	使用禁止領域

表 6.5　M32192 アドレスマップ

６．４．　拡張ボードへの電源供給

６．４．１．　供給可能電源容量

表 6.3 に、拡張ボードへ供給可能な電源容量を示します。拡張ボードが供給可能電源容量を超える場合は、拡張ボード上に電源供給手段を設ける必要があります。

表 6.3 の電源容量は参考値です。保証値ではありません。

表 6.3　拡張ボードへ供給できる電圧と電流

信号名	出力電圧	許容電流量	備 考
V33	3.3V	400mA	電源オン時に供給
V33SB	3.3V	50mA	M3T-M32RUT-LCD 接続時、AC アダプタ／電池接続で供給
EXTPWR	5.0V	500mA	M3T-M32RUT-LCD 接続時、AC アダプタ接続で供給

６．４．２．　M32104 搭載μT-Engine のシステム電源

標準構成の場合（拡張マルチメディアボード M3T-M32RUT-LCD を接続しない）、電源ボード M3T-M32RUT-POW に AC アダプタを接続してください。専用コネクタ経由で M32104 搭載μT-Engine ボード M3T-M32104UT-CPU へ V33 を供給します。また、拡張コネクタ経由で拡張 LAN ボード M3T-M32RUT-LAN へ V33 を供給します。なお、この時 V33SB および EXTPWR に電源は供給されません。

M3T-M32RUT-LCD を接続する場合、M3T-M32RUT-LCD に AC アダプタを接続してください。拡張コネクタ経由で M3T-M32104UT-CPU および M3T-M32RUT-LAN へ V33 を供給します。なお、V33SB および EXTPWR に電源が供給されます。

６．４．３．　M32192 搭載μT-Engine のシステム電源

標準構成の場合（拡張マルチメディアボード M3T-M32RUT-LCD を接続しない）、CAN ボード M3T-M32192UT-CAN に AC アダプタを接続してください。専用コネクタ経由で M32192 搭載μT-Engine ボード M3T-M32192UT-CPU へ V33 を供給します。また、拡張コネクタ経由で拡張 LAN ボード M3T-M32RUT-LAN へ V33 を供給します。なお、この時 V33SB および EXTPWR に電源は供給されません。

M3T-M32RUT-LCD を接続する場合、M3T-M32RUT-LCD に AC アダプタを接続してください。拡張コネクタ経由で M3T-M32192UT-CPU および M3T-M32RUT-LAN へ V33 を供給します。なお、V33SB および EXTPWR に電源が供給されます。

６．５．　拡張ボードからの割込み入力

６．５．１．　M32104 搭載μT-Engine

拡張 LAN ボード M3T-M32RUT-LAN を接続する場合、M32104 の INT0（EXINT）を使用します。

６．５．２．　M32192 搭載μT-Engine

拡張 LAN ボード M3T-M32RUT-LAN を接続する場合、M32192 の TIN24（EXINT）を使用します。
拡張 LAN ボードと拡張マルチメディアボードの双方を接続する場合は、TIN27 が使用可能です。

６．６．　EXREADY#入力

拡張ボードからの READY#入力用に、EXREADY#端子を設けています。

EXREADY#信号は、複数の拡張ボードをスタックした際の衝突を防ぐために、オープンコレクタ出力としてください。つまり、EXREADY#信号は通常 HiZ で、CPU を待たせる場合のみ“H”を出力してください。

EXREADY#信号は、CPU ボード内で 1kΩプルダウンされており、制御 PLD によって 1BCLK 後に M32104 への READY#信号または M32192 への WAIT#信号として渡されます。

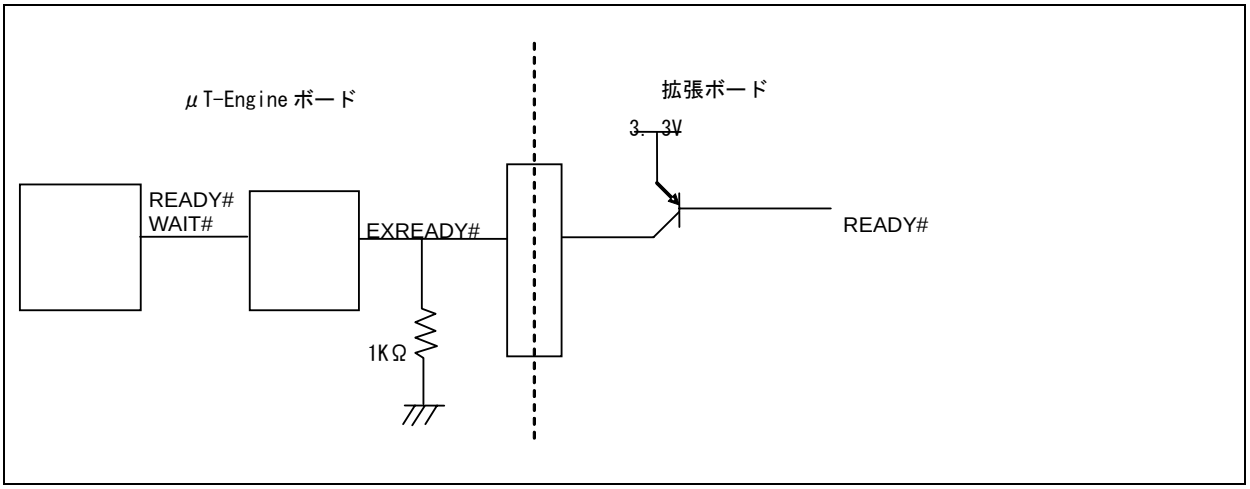


図 6.6　EXREADY#の入力回路

■　第 7 章 VR5500 T-Engine 拡張ボード設計ガイド

本章では、VR5500 T-Engine の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボードとは、ユーザ任意のデバイス等が搭載されており、T-Engine 上の拡張コネクタに出力している VR5500 のアドレスバス、データバス、および PCI バスにより制御可能なボードです。

７．１．T-Engine 拡張コネクタ仕様

T-Engine 実装コネクタ型式：20-5603-14-0404-861+（京セラエルコ）

適合コネクタ型名：10-5603-14-0404-861+（京セラエルコ）

図 7.1 に拡張コネクタの配置図を示します。

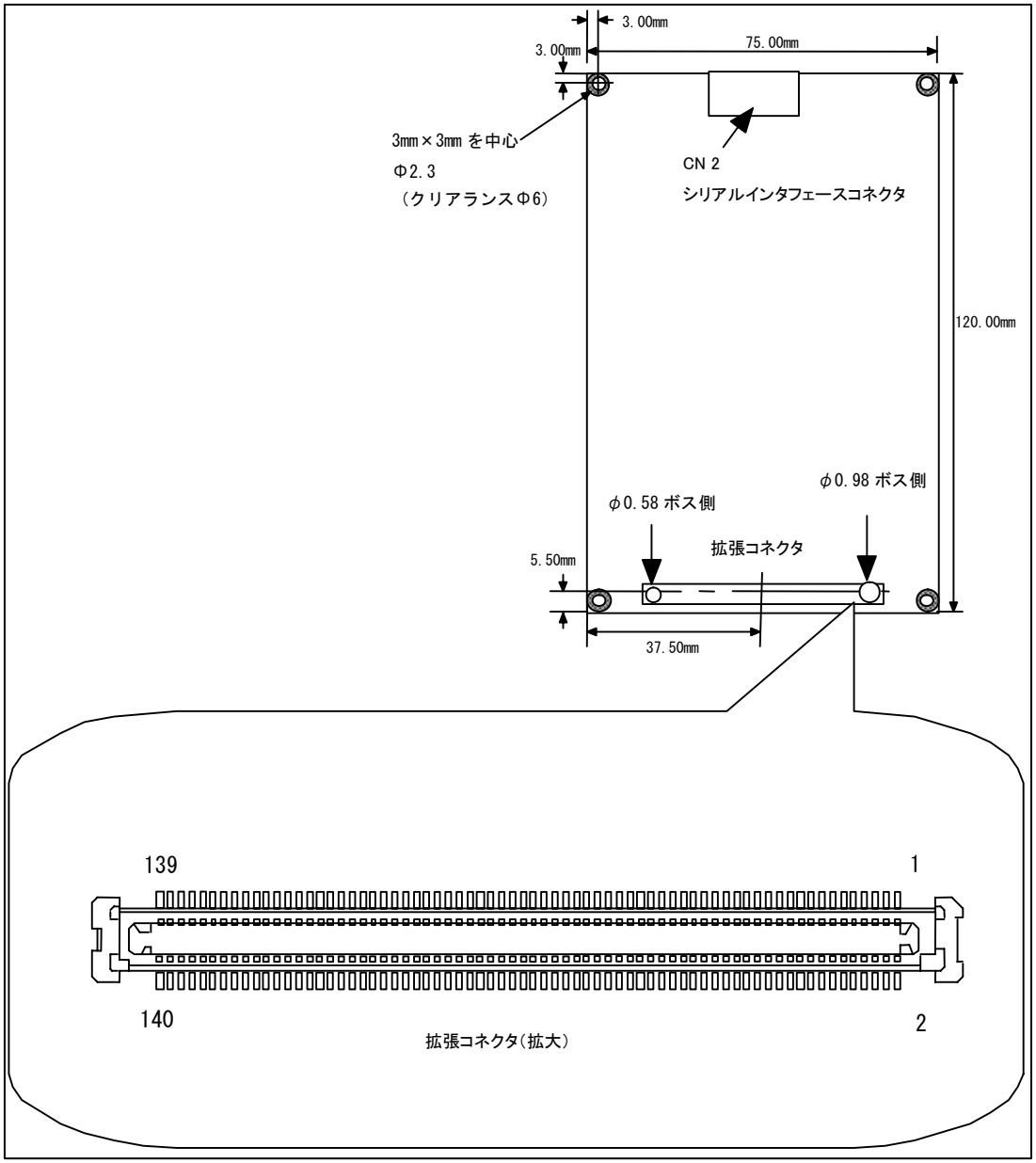


図 7.1　拡張コネクタの配置図

７．２．　拡張コネクタ信号配置

表 7.2 に拡張コネクタ信号配置を示します。

PCI バスと Local バスの信号になります。電気的レベルは、3.3V です。

表 7.2　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	GND	-	36	PAD20	I/O	71	PAD2	I/O	106	LA1	OUT
2	PCICLK2	OUT	37	GND	-	72	PAD3	I/O	107	LA8	OUT
3	GND	-	38	PAD18	I/O	73	GND	-	108	LA0	OUT
4	PCICLK1	OUT	39	GND	-	74	PAD1	I/O	109	LWE1#	OUT
5	GND	-	40	PAD17	I/O	75	GND	-	110	LWE0#	OUT
6	PCICLK0	OUT	41	PCI_CBE3#	I/O	76	PAD0	I/O	111	GND	-
7	PCI_REQ2#	IN	42	PAD16	I/O	77	PCI_RESET#	OUT	112	LRD#	OUT
8	3.3V *1	OUT	43	PCI_CBE2#	I/O	78	LOBAT#	IN(O/D)	113	LD15	I/O
9	PCI_REQ1#	IN	44	PCI_STOP#	I/O	79	SHDN#	OUT	114	LD7	I/O
10	3.3V *1	OUT	45	PCI_LOCK#	I/O	80	PCI_INTA#	IN(O/D)	115	LD14	I/O
11	PCI_REQ0#	IN	46	PCI_PERR#	I/O	81	WAKEUP#	IN(O/D)	116	LD6	I/O
12	PCI_GNT2#	OUT	47	PCI_IRDY#	I/O	82	PCI_INTB#	IN(O/D)	117	LD13	I/O
13	GND	-	48	PCI_TRDY#	I/O	83	Reserved	-	118	LD5	I/O
14	PCI_GNT1#	OUT	49	GND	-	84	PCI_INTC#	IN(O/D)	119	LD12	I/O
15	GND	-	50	PCI_FRAME#	I/O	85	Reserved	-	120	LD4	I/O
16	PCI_GNT0#	OUT	51	GND	-	86	Reserved	-	121	LD11	I/O
17	PAD31	I/O	52	PCI_DEVSEL#	I/O	87	LA17	OUT	122	LD3	I/O
18	IDSEL2(PAD29)	OUT	53	PCI_PAR	I/O	88	FCS1#	OUT	123	LD10	I/O
19	PAD30	I/O	54	PCI_SERR#	IN(O/D)	89	LA16	OUT	124	LD2	I/O
20	IDSEL1(PAD28)	OUT	55	PCI_CBE1#	I/O	90	FCS0#	OUT	125	LD9	I/O
21	PAD29	I/O	56	PAD15	I/O	91	LA15	OUT	126	LD1	I/O
22	IDSEL0(PAD27)	OUT	57	PCI_CBE0#	I/O	92	IORDY#	IN(O/D)	127	LD8	I/O
23	PAD27	I/O	58	PAD14	I/O	93	GND	-	128	LD0	I/O
24	PAD28	I/O	59	PAD12	I/O	94	LA7	OUT	129	VBATT_IN *2	IN
25	GND	-	60	PAD13	I/O	95	LA14	OUT	130	VBATT_IN *2	IN
26	PAD26	I/O	61	GND	-	96	LA6	OUT	131	VBATT_IN *2	IN
27	GND	-	62	PAD11	I/O	97	LA13	OUT	132	VBATT_IN *2	IN
28	PAD25	I/O	63	GND	-	98	LA5	OUT	133	VBATT_IN *2	IN
29	PAD23	I/O	64	PAD10	I/O	99	LA12	OUT	134	VBATT_IN *2	IN
30	PAD24	I/O	65	PAD8	I/O	100	LA4	OUT	135	VBATT_IN *2	IN
31	PAD22	I/O	66	PAD9	I/O	101	LA11	OUT	136	VBATT_IN *2	IN
32	Reserved	-	67	PAD6	I/O	102	LA3	OUT	137	GND	-
33	PAD21	I/O	68	PAD7	I/O	103	LA10	OUT	138	GND	-
34	Reserved	-	69	PAD4	I/O	104	LA2	OUT	139	GND	-
35	PAD19	I/O	70	PAD5	I/O	105	LA9	OUT	140	GND	-

＊１：CPU ボードの電源オン時に+3.3V(typ.)の電源が拡張ボードに供給されます。

＊２：拡張ボードからの電源供給(5.0～7.0V)端子です。拡張ボードから CPU ボードに電源の供給が可能です。

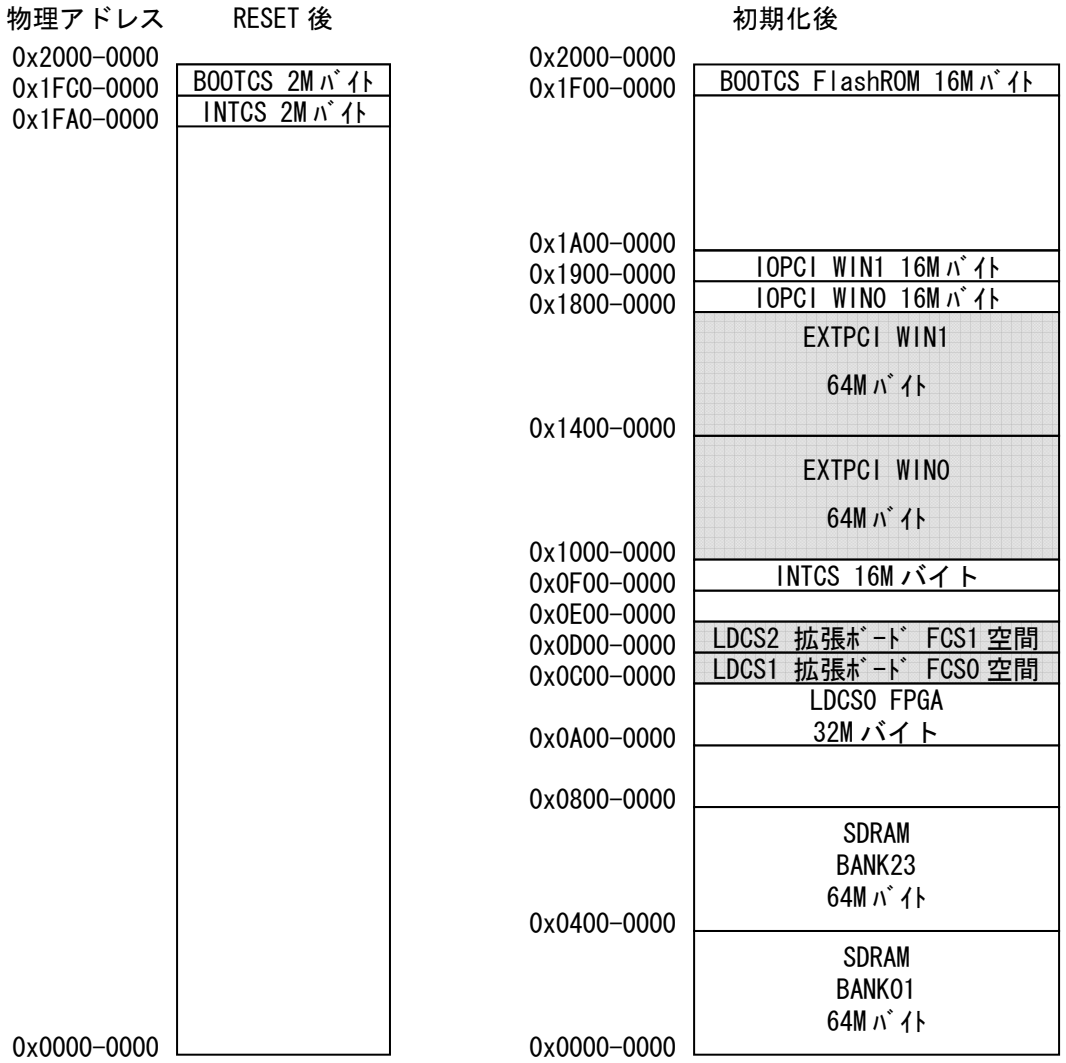
７．３．拡張ボードを拡張できるエリア

表 7.3.1 に VR5500 のメモリマップを示します。

拡張ボードは、表 7.3.1 に示す通り、PCI 空間、LDCS1 および LDCS2 の３つのエリアに拡張可能です。

各エリアは、VRC5477 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 7.3.1　VR5500 のメモリマップ



７．４．拡張ボードへの電源供給

T-Engine から拡張ボードへ供給できる電圧と電流を表 7.4.1 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお、表 7.4.1 の電流量は、参考値です。保証値ではありません。

表 7.4.1　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備　　考
3.3V	+3.3V	800mA	ボード電源 ON 時に供給

７．５．拡張ボードからの割込み入力

T-Engine には、拡張ボードの割込み入力用として、拡張コネクタに PCI_INTA#,PCI_INTB#,PCI_INTC# の 3 本の割り込み入力端子を設けています。図 7.5.1 に T-Engine 内の拡張コネクタ割込み端子構成を示します。

拡張コネクタの各割込み端子は、Low レベルで割込みを認識します。VRC5477 が割込み認識後、VR5500 に割込みを発生させます。VRC5477 から VR5500 への割り込みの設定は VRC5477 のレジスタで設定をします。

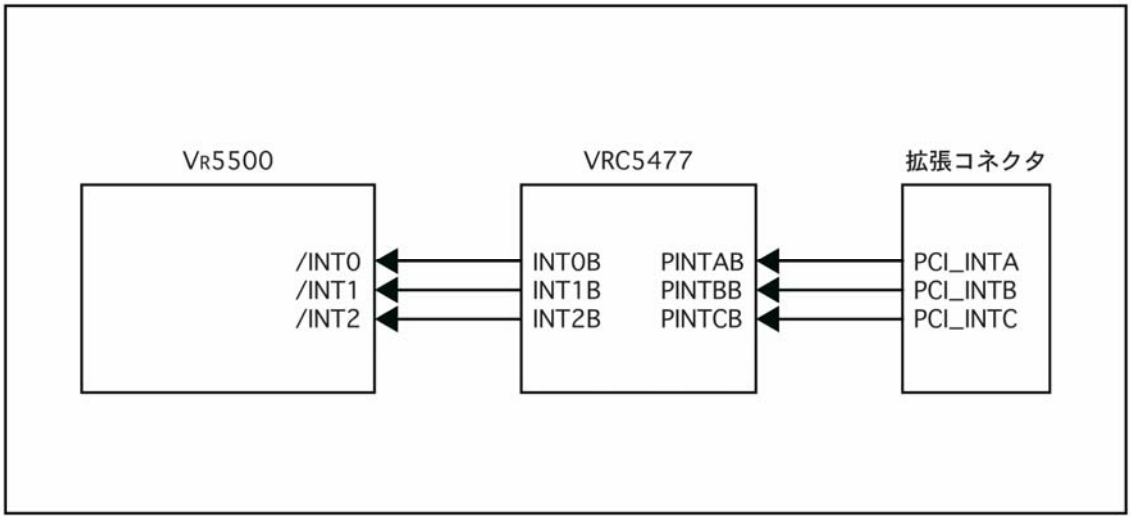


図 7.5.1　T-Engine 内の拡張コネクタ割込み端子構成

７．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 7.6.1 に拡張ボードのスタック構成を示します。

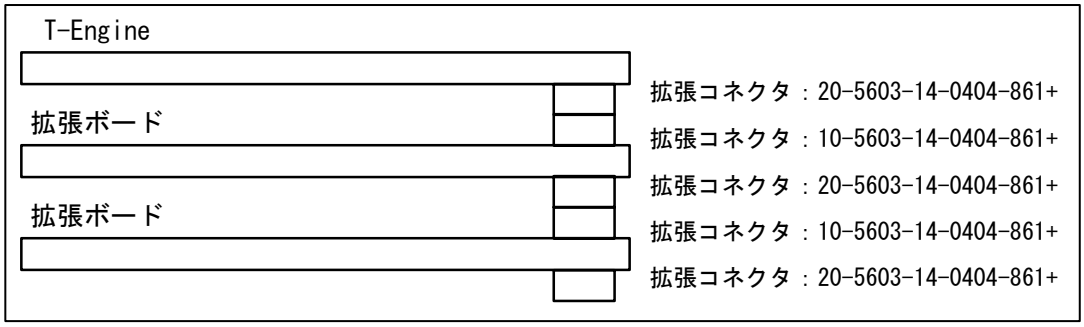


図 7.6.1　拡張ボードのスタック構成

７．７．/WAIT 入力

T-Engine には、拡張ボードの/WAIT 入力用として、拡張コネクタに 1 本の IORDY#入力端子を設けています。拡張ボードから WAIT を出力する場合には、複数の拡張ボードをスタックした際の/WAIT 出力の衝突を防ぐために、オープンコレクタ出力としてください。

なお、T-Engine 側の IORDY#端子は、4.7kΩでプルアップしています。図 7.7.1 に拡張コネクタの IORDY#端子の構成図を示します。

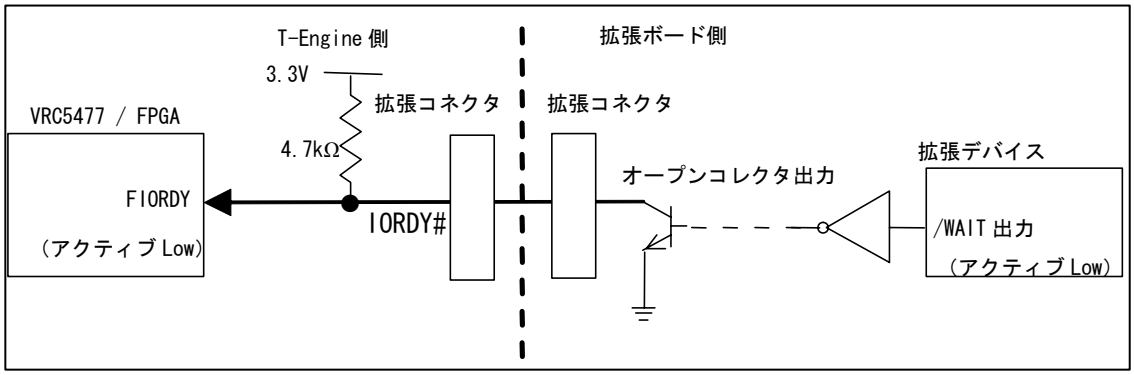


図 7.7.1　拡張コネクタの IORDY#端子の構成図

７．８．AC タイミングについて

図 7.8.1 に示すように拡張コネクタに出力しているローカルバス信号は、バスバッファを介して出力しています。そのため、VRC5477 のバスのタイミングに対してバス信号が遅延します。拡張ボードは、この遅延時間を考慮して設計してください。次頁以降にバスタイミングを示します。
なお、VRC5477 のバスタイミングの詳細については、VRC5477 ハードウェアマニュアルを参照してください。

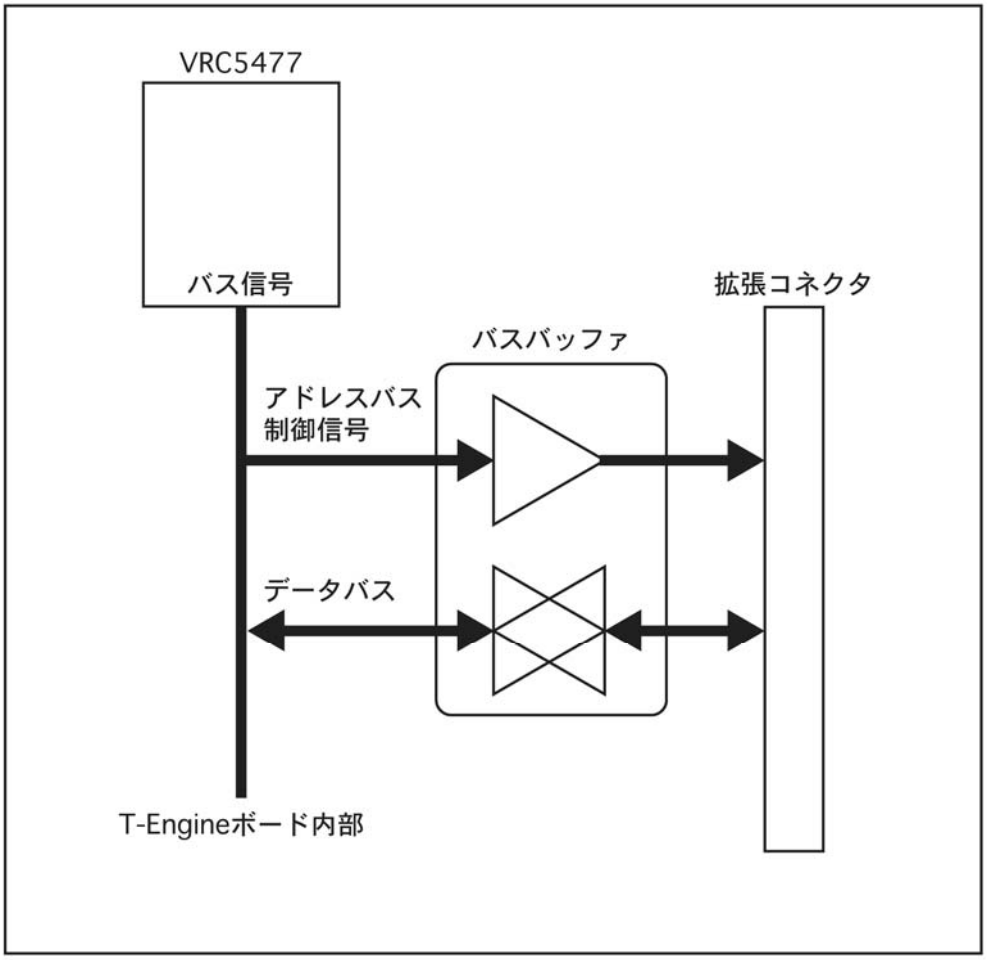
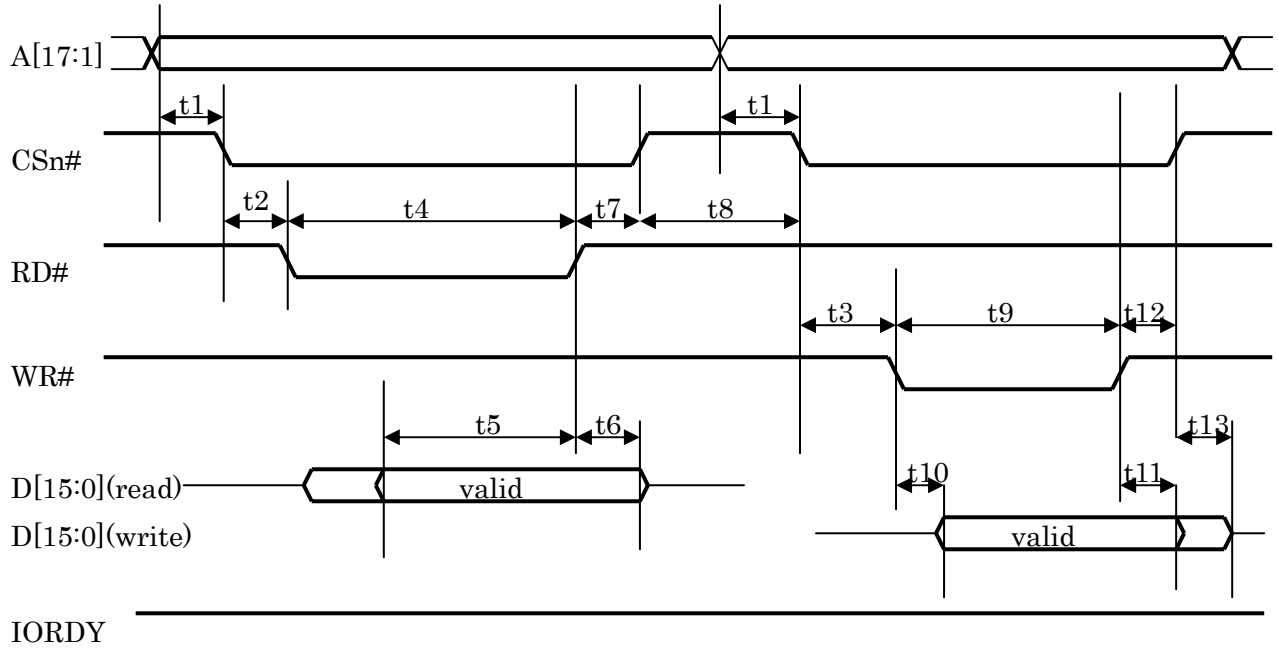
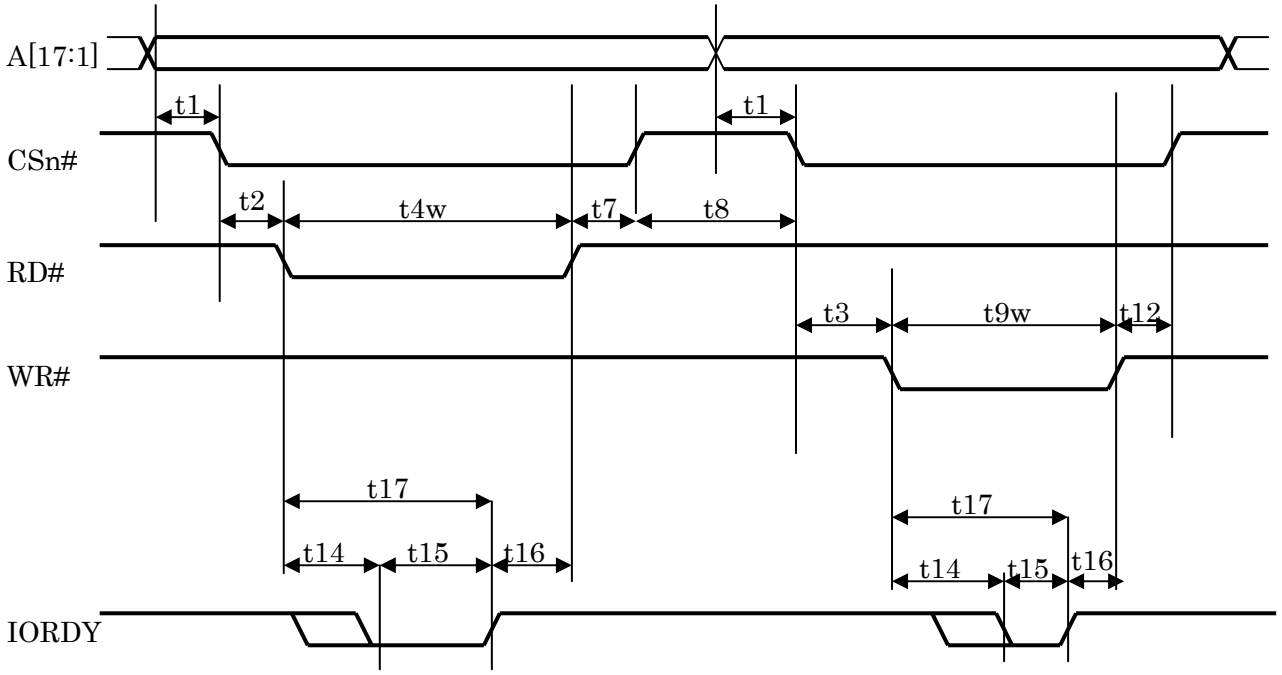


図 7.8.1　拡張コネクタのバスバッファ構成

・拡張ローカルバス READ/WRITE タイミング



・拡張ローカルバス IORDY タイミング



・拡張ローカルバス仕様

ｼﾝﾎﾞﾙ	説明	Min [nS]	Max [nS]
t1	Address valid to CSn# ↓ delay	０	
t2	CSn # ↓ toRD# ↓ delay	０	
t3	CSn # ↓ to WR# ↓ delay	３０	
t4	RD# pulse width	１６０	
t4w	RD# pulse width (with IORDY controlled)	１９０	
t5	Read data setup	４０	
t6	Read data hold	０	３０
t7	RD# ↑ to CSn# ↑ delay	０	
t8	CSn# idle width	２５	
t9	WR# pulse width	１６０	
t9w	WR# pulse width (with IORDY controlled)	１９０	
t10	WR# ↓ to write data valid delay		４５
t11	WR# ↑ to write data hold	２０	
t12	WR# ↑ to CSn# ↑ delay	２５	６５
t13	CSn# ↑ to write data disable		２５
t14	RD#/WR# ↓ to IORDY ↓ delay	０	１２０
t15	IORDY pulse width	７０	
t16	IORDY ↑ to RD#/WR# ↑ delay	１０	
t17	RD#/WR# ↓ to IORDY ↑ delay	１９０	

【注意】

（１）バスタイミングの遅延時間は、参考値です。保証値ではありません。

■　第８章 VR4131 μT-Engine 拡張ボード設計ガイド

本章では、VR4131 μT-Engine の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボードとは、ユーザ任意のデバイス等が搭載されており、μT-Engine 上の拡張コネクタに出力している VR4131 のアドレスバス、データバス、および PCI バスにより制御可能なボードです。

８．１．μT-Engine 拡張コネクタ仕様

T-Engine 実装コネクタ型式　　：20-5603-14-0404-861+（京セラエルコ）

適合コネクタ型名　　：10-5603-14-0404-861+（京セラエルコ）

図 8.1 に拡張コネクタの配置図を示します。

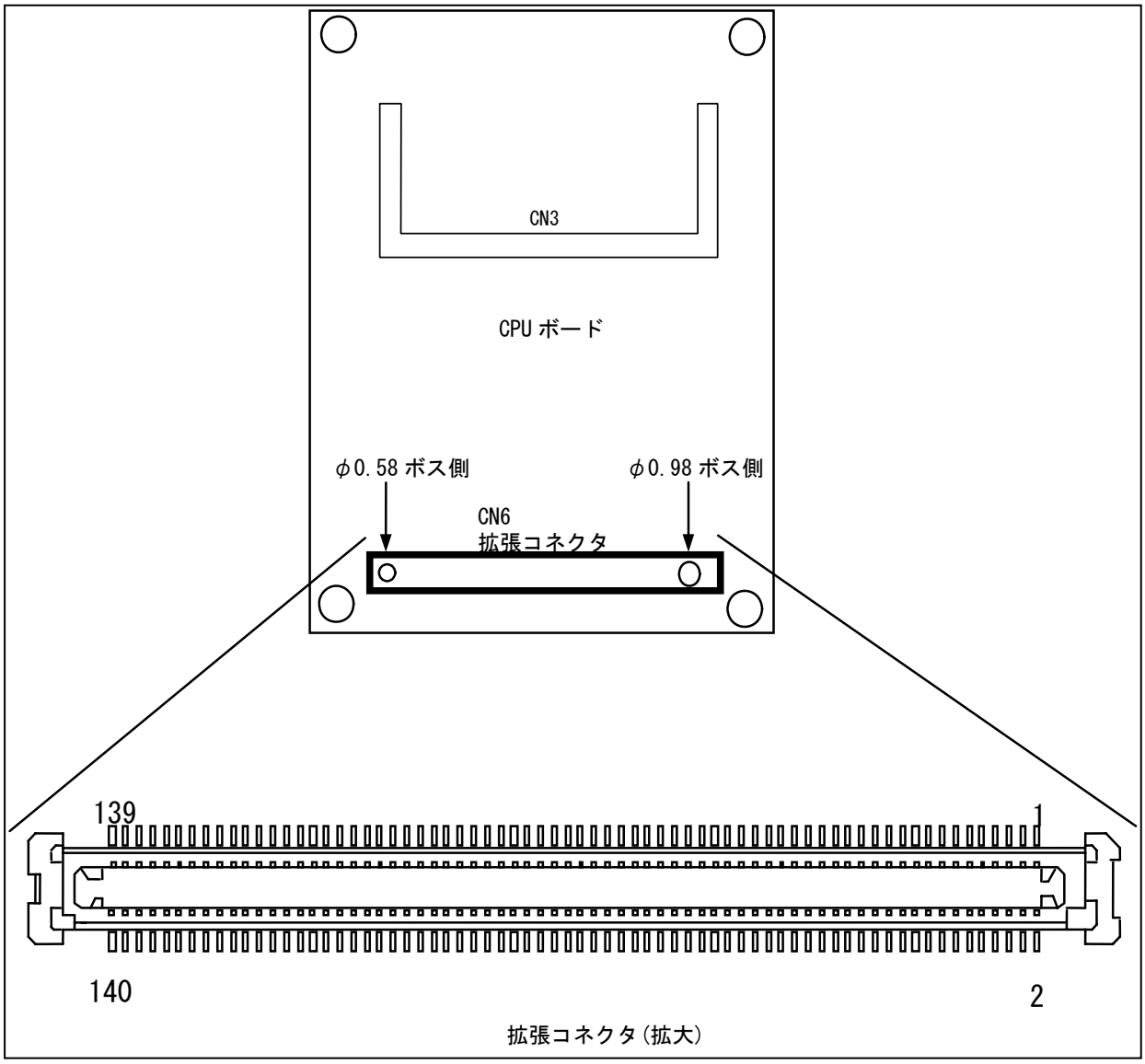


図 8.1　拡張コネクタの配置図

８．２．　拡張コネクタ信号配置

表 8.2 に拡張コネクタ信号配置を示します。

PCI バスと Local バスの信号になります。電気的レベルは、3.3V です。

表 8.2　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	GND	-	36	AD20	I/O	71	AD2	I/O	106	A1	OUT
2	PCLK2	OUT	37	GND	-	72	AD3	I/O	107	A8	OUT
3	GND	-	38	AD18	I/O	73	GND	-	108	Reserved	-
4	PCLK1	OUT	39	GND	-	74	AD1	I/O	109	Reserved	-
5	GND	-	40	AD17	I/O	75	GND	-	110	WR#	OUT
6	PCLK0	OUT	41	CBE3#	I/O	76	AD0	I/O	111	GND	-
7	REQ2#	IN	42	AD16	I/O	77	PCIRST#	OUT	112	RD#	OUT
8	VCCIO(3.3V) *1	OUT	43	CBE2#	I/O	78	LOBAT#	IN(O/D)	113	D15	I/O
9	REQ1#	IN	44	STOP#	I/O	79	MPOWER	OUT	114	D7	I/O
10	VCCIO(3.3V) *1	OUT	45	LOCK#	I/O	80	INTA#	IN(O/D)	115	D14	I/O
11	REQ0#	IN	46	PERR#	I/O	81	WAKEUP#	IN(O/D)	116	D6	I/O
12	GNT2#	OUT	47	IRDY#	I/O	82	INTB#	IN(O/D)	117	D13	I/O
13	GND	-	48	TRDY#	I/O	83	Reserved	-	118	D5	I/O
14	GNT1#	OUT	49	GND	-	84	INTC#	IN(O/D)	119	D12	I/O
15	GND	-	50	FRAME#	I/O	85	Reserved	-	120	D4	I/O
16	GNT0#	OUT	51	GND	-	86	INTD#	IN(O/D)	121	D11	I/O
17	AD31	I/O	52	DEVSEL#	I/O	87	A17	OUT	122	D3	I/O
18	IDSEL2(AD14)	OUT	53	PAR	I/O	88	CS1#	OUT	123	D10	I/O
19	AD30	I/O	54	SERR#	IN(O/D)	89	A16	OUT	124	D2	I/O
20	IDSEL1(AD13)	OUT	55	CBE1#	I/O	90	CS0#	OUT	125	D9	I/O
21	AD29	I/O	56	AD15	I/O	91	LA15	OUT	126	D1	I/O
22	IDSEL0(AD12)	OUT	57	CBE0#	I/O	92	IORDY#	IN(O/D)	127	D8	I/O
23	AD27	I/O	58	AD14	I/O	93	GND	-	128	D0	I/O
24	AD28	I/O	59	AD12	I/O	94	A7	OUT	129	VBATT *2	IN
25	GND	-	60	AD13	I/O	95	A14	OUT	130	VBATT *2	IN
26	PAD26	I/O	61	GND	-	96	A6	OUT	131	VBATT *2	IN
27	GND	-	62	AD11	I/O	97	A13	OUT	132	VBATT *2	IN
28	AD25	I/O	63	GND	-	98	A5	OUT	133	VBATT *2	IN
29	AD23	I/O	64	AD10	I/O	99	A12	OUT	134	VBATT *2	IN
30	AD24	I/O	65	AD8	I/O	100	A4	OUT	135	VBATT *2	IN
31	AD22	I/O	66	AD9	I/O	101	A11	OUT	136	VBATT *2	IN
32	Reserved	-	67	AD6	I/O	102	A3	OUT	137	GND	-
33	AD21	I/O	68	AD7	I/O	103	A10	OUT	138	GND	-
34	Reserved	-	69	AD4	I/O	104	A2	OUT	139	GND	-
35	AD19	I/O	70	AD5	I/O	105	A9	OUT	140	GND	-

＊１：CPU ボードの電源オン時に+3.3V(typ.)の電源が拡張ボードに供給されます。

＊２：拡張ボードからの電源供給(+3.5～9.0V)端子です。拡張ボードから CPU ボードに電源の供給が可能です。

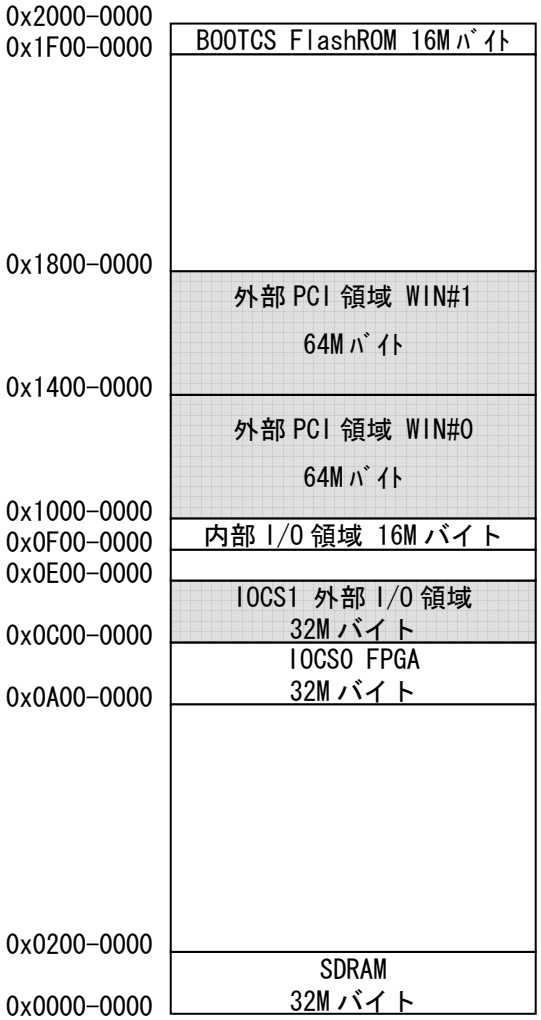
８．３．拡張ボードを拡張できるエリア

表 8.3.1 に VR4131 のメモリマップを示します。

拡張ボードは、表 8.3.1 に示す通り、PCI 空間、IOCS1 の３つのエリアに拡張可能です。

各エリアは、VR4131 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 8.3.1　VR4131 のメモリマップ



８．４．拡張ボードへの電源供給

μT-Engine から拡張ボードへ供給できる電圧と電流を表 8.4.1 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお、表 8.4.1 の電流量は、参考値です。保証値ではありません。

表 8.4.1　拡張ボードへ供給できる電圧と電流

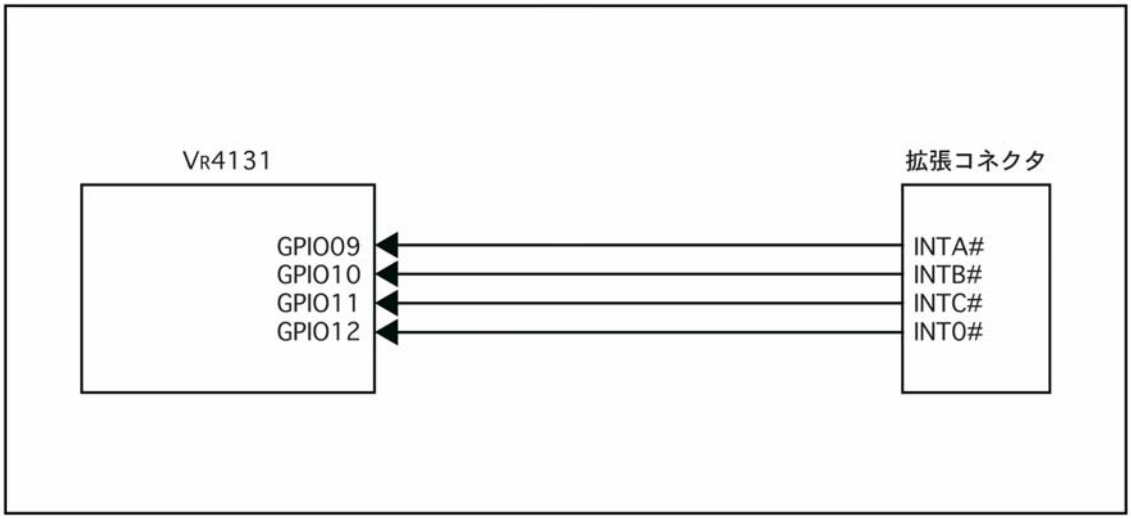
拡張コネクタ信号名	出力電圧	許容電流量	備　　考
VCCIO	+3.3V	500mA	ボード電源 ON 時に供給

８．５．拡張ボードからの割込み入力

μT-Engine には、拡張ボードの割込み入力用として、拡張コネクタに PCI バスの INTA#, INTB#, INTC# の 3 本とローカルバスの INTO#の 1 本の割込み入力端子を設けています。図 8.5.1 にμT-Engine 内の拡張コネクタ割込端子構成を示します。

拡張コネクタの各割込み端子は、Low レベルで割込みを認識します。

図 8.5.1　μT-Engine 内の拡張コネクタ割込み端子構成



８．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 8.6.1 に拡張ボードのスタック構成を示します。

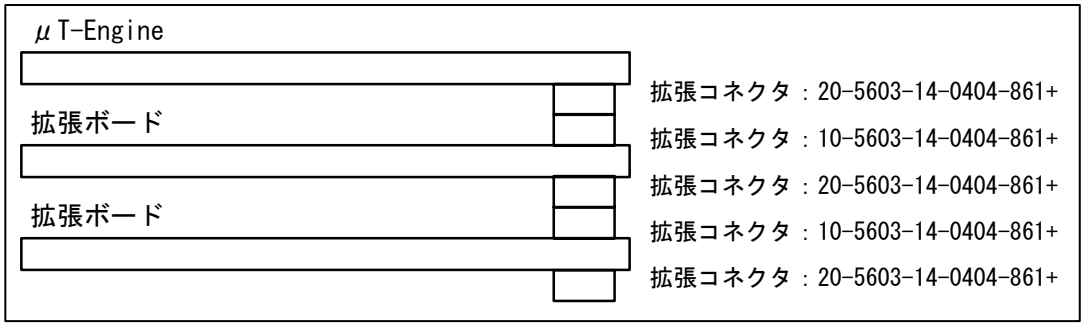


図 8.6.1　拡張ボードのスタック構成

８．７．/WAIT 入力

μT-Engine には、拡張ボードの/WAIT 入力用として、拡張コネクタに 1 本の IORDY#入力端子を設けています。拡張ボードから WAIT を出力する場合には、複数の拡張ボードをスタックした際の/WAIT 出力の衝突を防ぐために、オープンコレクタ出力としてください。なお、μT-Engine 側の IORDY#端子は、4.7kΩでプルアップしています。図 8.7.1 に拡張コネクタの IORDY#端子の構成図を示します。

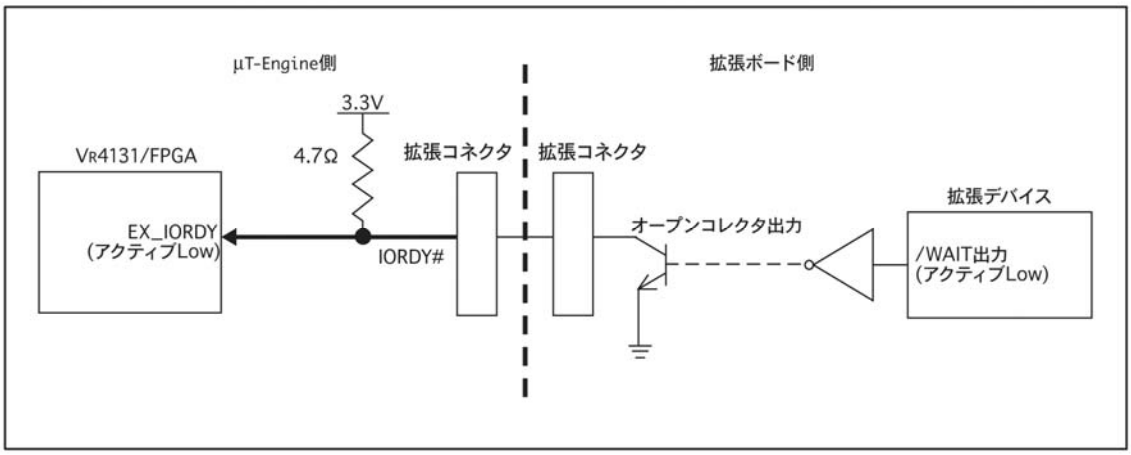


図 8.7.1　拡張コネクタの IORDY#端子の構成図

８．８．AC タイミングについて

図 8.8.1 に示すように拡張コネクタに出力しているローカルバス信号は、バスバッファを介して出力しています。そのため、VR4131 のバスのタイミングに対してバス信号が遅延します。拡張ボードは、この遅延時間を考慮して設計してください。次頁以降にバスタイミングを示します。

なお、VR4131 のバスタイミングの詳細については、VR4131 ユーザーズ・マニュアルを参照してください。

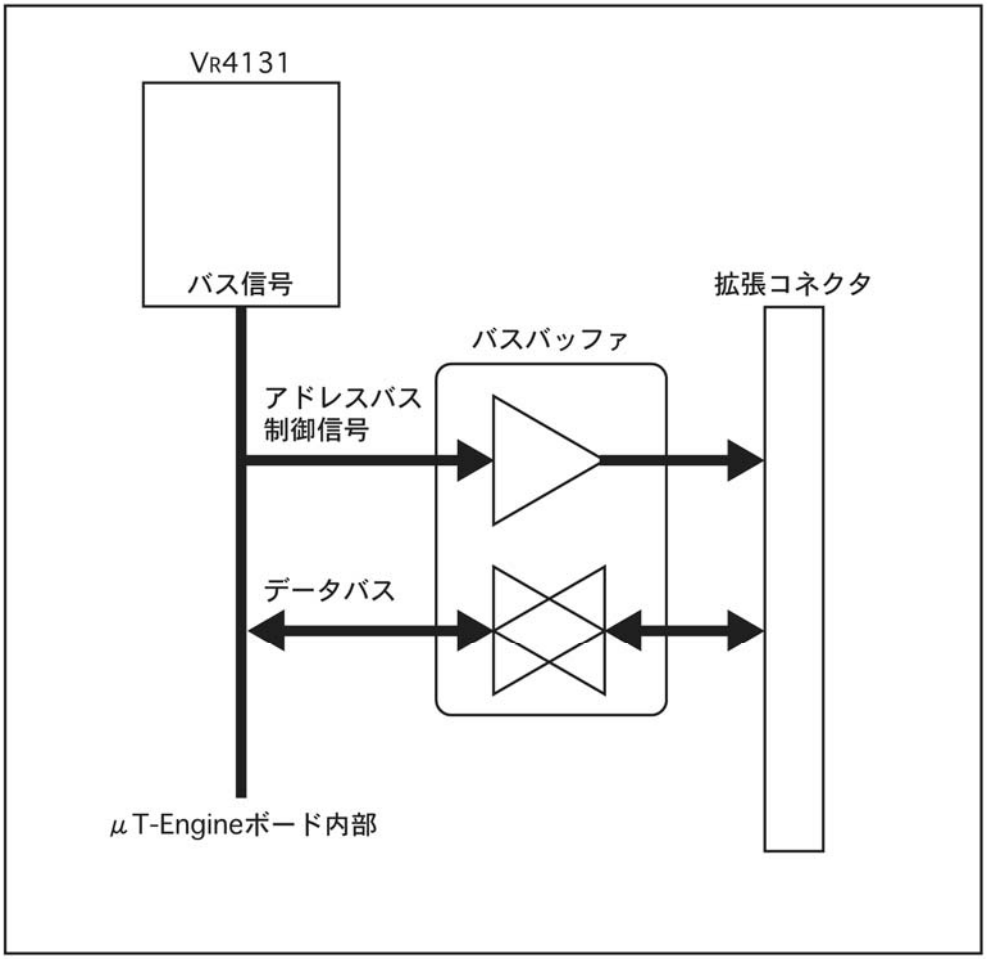
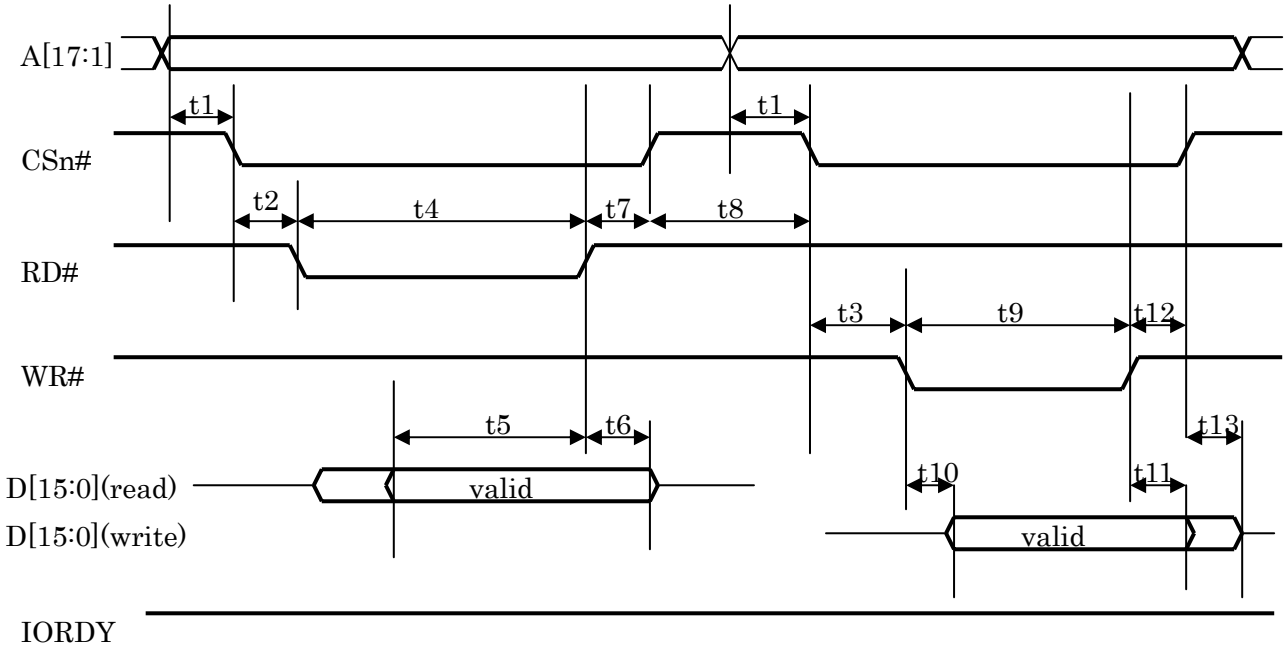
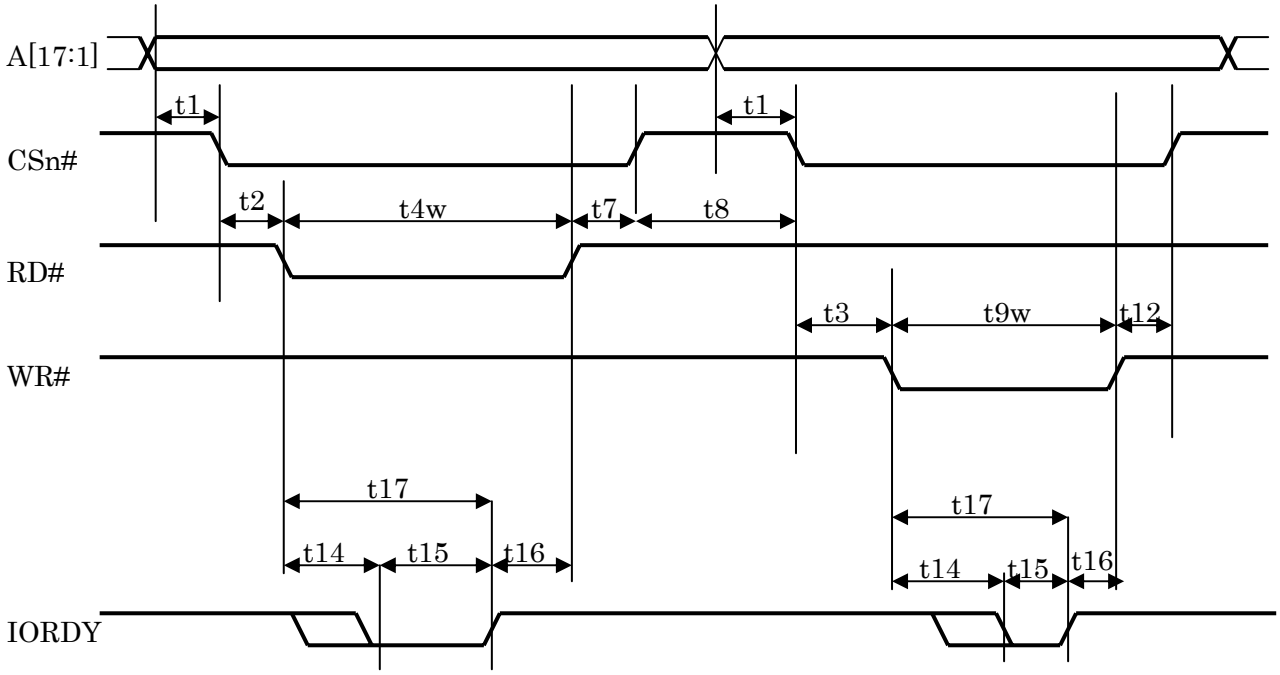


図 8.8.1　拡張コネクタのバスバッファ構成

・拡張ローカルバス READ/WRITE タイミング



・拡張ローカルバス IORDY タイミング



・拡張ローカルバス仕様

ｼﾝﾎﾞﾙ	説明	Min [nS]	Max [nS]
t1	Address valid to CSn# ↓ delay	０	
t2	CSn # ↓ toRD# ↓ delay	０	
t3	CSn # ↓ to WR# ↓ delay	３０	
t4	RD# pulse width	１６０	
t4w	RD# pulse width (with IORDY controlled)	１９０	
t5	Read data setup	４０	
t6	Read data hold	０	３０
t7	RD# ↑ to CSn# ↑ delay	０	
t8	CSn# idle width	２５	
t9	WR# pulse width	１６０	
t9w	WR# pulse width (with IORDY controlled)	１９０	
t10	WR# ↓ to write data valid delay		４５
t11	WR# ↑ to write data hold	２０	
t12	WR# ↑ to CSn# ↑ delay	２５	６５
t13	CSn# ↑ to write data disable		２５
t14	RD#/WR# ↓ to IORDY ↓ delay	０	１２０
t15	IORDY pulse width	７０	
t16	IORDY ↑ to RD#/WR# ↑ delay	１０	
t17	RD#/WR# ↓ to IORDY ↑ delay	１９０	

【注意】

（１）バスタイミングの遅延時間は、参考値です。保証値ではありません。

■　第９章　V850E/MA3 μT-Engine 拡張ボード設計ガイド

本設計ガイドでは、V850E/MA3 μT-Engine の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボードとは、ユーザ任意のデバイス等が搭載されており、μT-Engine 上の拡張コネクタに出力している V850E/MA3 のアドレスバス、データバス、および制御信号(調歩同期式)やシリアルにより制御可能なボードです。

９．１．　μT-Engine 拡張コネクタ仕様

T-Engine 実装コネクタ型式：20-5603-14-0102-861+（京セラエルコ）

適合コネクタ型名：10-5603-14-0102-861+（京セラエルコ）

図 9.1 に拡張コネクタの配置図を示します。

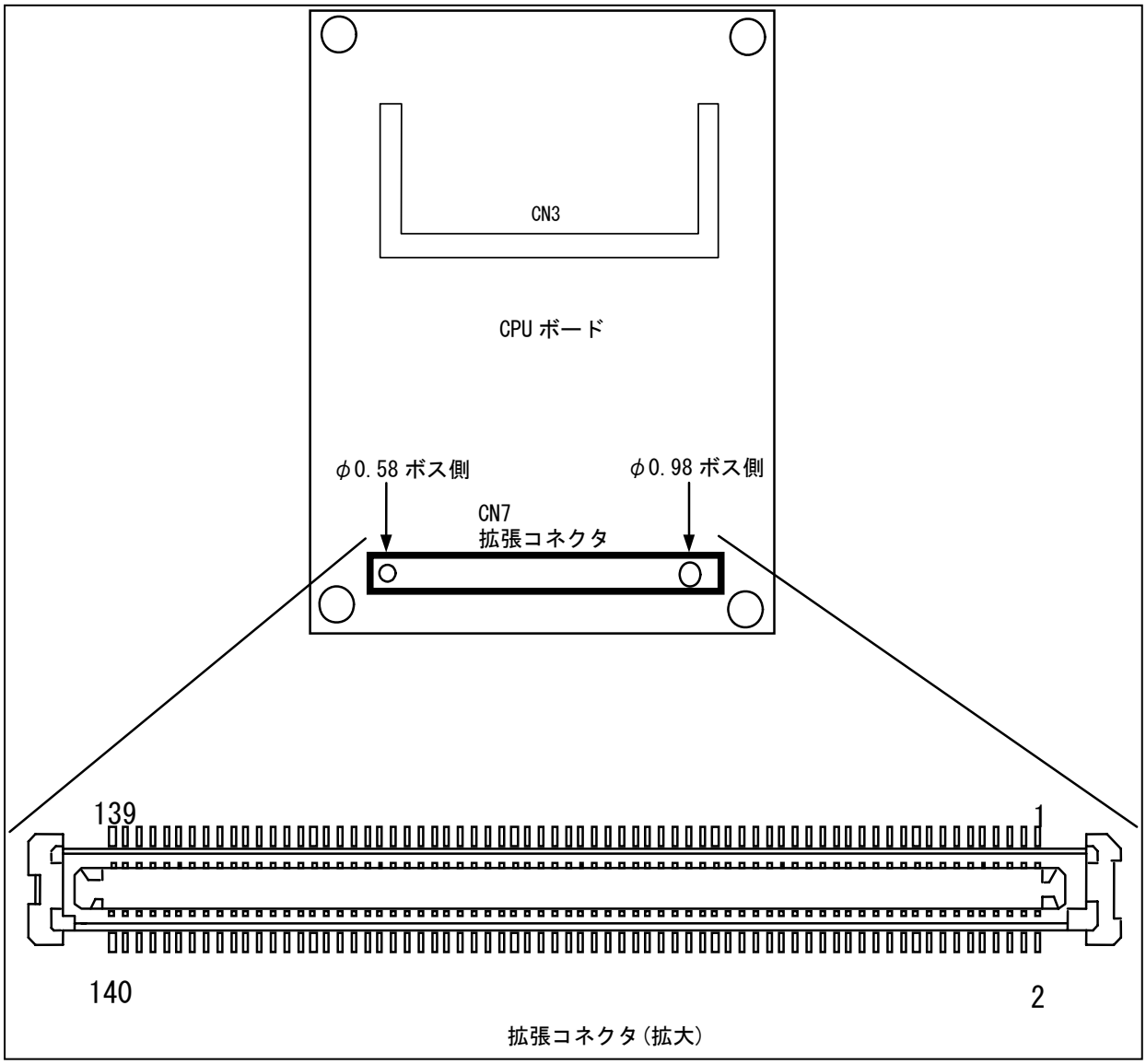


図 9.1　拡張コネクタの配置図

９．２．　拡張コネクタ信号配置

表 9.2 に拡張コネクタ信号配置を示します。

ローカルバスの信号になります。電気的レベルは、3.3V です。

表 9.2　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	ANo0	OUT	36	PBD1	I/O	71	A24	OUT	106	ANi6	IN
2	ANo1	OUT	37	PBD2	I/O	72	A25	OUT	107	ANi7	IN
3	MODE0	IN	38	PCT6	I/O	73	Pull-Up	-	108	SCK0	OUT
4	MODE1	IN	39	GND	-	74	EXTCS3-	OUT	109	GND	-
5	AD0	I/O	40	GND	-	75	EXTCS0-	OUT	110	GND	-
6	AD1	I/O	41	EXTBCLK	OUT	76	EXTTXD1-	OUT	111	Pull-Up	-
7	AD2	I/O	42	GND	-	77	EXTRXD1-	IN	112	Pull-Up	-
8	AD3	I/O	43	GND	-	78	EXTRTS1-	OUT	113	Pull-Down	-
9	AD4	I/O	44	GND	-	79	GND	-	114	Pull-Up	-
10	AD5	I/O	45	A0	OUT	80	GND	-	115	Pull-Up	-
11	AD6	I/O	46	A1	OUT	81	EXTRD-	OUT	116	RESERVED	-
12	AD7	I/O	47	A2	OUT	82	EXTWAIT-	IN	117	+3.3VSB *1	OUT
13	AD8	I/O	48	A3	OUT	83	EXTLWR-	OUT	118	+3.3VSB *1	OUT
14	AD9	I/O	49	A4	OUT	84	EXTUWR-	OUT	119	+3.3VSB *1	OUT
15	AD10	I/O	50	A5	OUT	85	So0	OUT	120	+3.3VSB *1	OUT
16	AD11	I/O	51	A6	OUT	86	Si0.	IN	121	EXTCS5-	OUT
17	AD12	I/O	52	A7	OUT	87	GND	-	122	EXTCTS1-	IN
18	AD13	I/O	53	A8	OUT	88	GND	-	123	N.C.	-
19	AD14	I/O	54	A9	OUT	89	ANi0	IN	124	N.C.	-
20	AD15	I/O	55	A10	OUT	90	ANi1	IN	125	FPRES-	IN
21	GND	-	56	A11	OUT	91	AGND	-	126	ADTRG	IN
22	GND	-	57	A12	OUT	92	IRQ-	IN	127	+3.3V *2	OUT
23	P10	IN	58	A13	OUT	93	NMIIN	IN	128	+3.3V *2	OUT
24	P11	IN	59	A14	OUT	94	RES_IN-	IN	129	+3.3V *2	OUT
25	P12	IN	60	A15	OUT	95	RES_OUT-	OUT	130	+3.3V *2	OUT
26	P13	I/O	61	GND	-	96	AGND	-	131	+3.3V *2	OUT
27	+2.5VSB	OUT	62	GND	-	97	ANi2	IN	132	+3.3V *2	OUT
28	P14	I/O	63	A16	OUT	98	ANi3	IN	133	VBAT-IN *3	IN
29	N.C.	-	64	A17	OUT	99	Pull-Up	-	134	VBAT-IN *3	IN
30	N.C.	-	65	A18	OUT	100	ANi4	IN	135	VBAT-IN *3	IN
31	EXTDRQ-	IN	66	A19	OUT	101	GND	-	136	VBAT-IN *3	IN
32	P15	I/O	67	A20	OUT	102	GND	-	137	GND	-
33	EXTDAK-	OUT	68	A21	OUT	103	TXD3	OUT	138	GND	-
34	PCM2	I/O	69	A22	OUT	104	RXD3	IN	139	GND	-
35	PCM3	I/O	70	A23	OUT	105	ANi5	IN	140	GND	-

＊１：ＡＣアダプタが接続されていると常時+3.3V(typ.)の電源が供給されます。

＊２：CPU ボードの電源オン時に+3.3V(typ.)の電源が供給されます。

＊３：拡張ボードからの電源供給(4.8～5.6V)端子です。拡張ボードから CPU ボードに電源の供給が可能です。

９．３．拡張ボードを拡張できるエリア

表 9.3.1 に V850E/MA3 のメモリマップを示します。

拡張ボードは、表 9.3.1 に示すとおり、CS5 のエリアに拡張可能です。

各エリアは、V850E/MA3 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

μT-Engine/V850E-MA3 では各デバイスが表 9.3.1 に示す物理アドレスにマッピングされています。

表 9.3.1　V850E/MA3 のメモリマップ

（物理アドレス）

xFFF_FFFFh xFFF_F000h	内蔵周辺 I/O 内蔵データ RAM32KB	CS7
xFFF_EFFFh xFE0_0000h	PLD01,PLD02 レジスタ (CPU ボード)	
xFDF_FFFFh xF80_0000h	拡張コネクタ I/F2(*2)(予約)	CS5
xF7F_FFFFh xC00_0000h		CS6
xBFF_FFFFh x800_0000h	CF Card I/F	CS4
x7FF_FFFFh x400_0000h	拡張コネクタ I/F1(*1)	CS3
x3FF_FFFFh x3FF_0000h	内蔵周辺 I/O／ 内蔵データ RAM 領域(ﾐﾗｰ)	
x3FE_FFFFh x280_0000h		CS1
x27F_FFFFh x080_0000h	SDRAM(8MB)	
x07F_FFFFh x020_0000h	Flash Memory(1MB) 拡張ボード	CS0
x01F_FFFFh x010_0000h		
x00F_FFFFh x000_0000h	内蔵 ROM 領域 (512KB)	

【 μT-Engine/V850E-MA3 全体マップ 】

注(*1)　;　拡張コネクタ I/F1 は、拡張ボード上のデバイス(LAN,PLD03,USB)の領域です。

注(*2)　;　拡張コネクタ I/F2 は、拡張ボード２上の領域として予約されています。

詳細マップ

CS	Block	バス幅	アドレス	デバイス	コメント
CS0	Block0	16bit	0x000_0000h ～ 0x007_FFFFh	内蔵 ROM(512K-byte)	CPU
	Block0	16bit	0x008_0000h ～ 0x01F_FFFFh		
	Block1,2,3	16bit	0x020_0000h ～ 0x07F_FFFFh	Flash Memory(1M-byte)	拡張ボード
CS1	—	16bit	0x080_0000h ～ 0x27F_FFFFh	SDRAM(8M-byte)	CPU ボード
	—	16bit	0x280_0000h ～ 0x3FE_FFFFh		
	—	8/16bit	0x3FF_0000h ～ 0x3FF_FFFFh	内蔵周辺 I/O／内蔵データ RAM 領域 (ﾐﾗｰ)	CPU
CS3	—	16bit	0x400_0000h ～ 0x43F_FFFFh	USB コントローラ uPD720122	拡張ボード
	—	16bit	0x440_0000h ～ 0x47F_FFFFh	LAN コントローラ LAN91C111	拡張ボード
	—	16bit	0x480_0000h ～ 0x4BF_FFFFh	PLD03 レジスタ	拡張ボード
	—	16bit	0x4C0_0000h ～ 0x7FF_FFFFh		
CS4	—	16bit	0x800_0000h ～ 0xBFF_FFFFh	Compact Flash(CF)	CPU ボード
CS6	—	16bit	0xC00_0000h ～ 0xF7F_FFFFh		
CS5	Block4,5,6	16bit	0xF80_0000h ～ 0xFDF_FFFFh	拡張コネクタ I/F2	拡張ボード２ （予約）
CS7	Block7	16bit	0xFE0_0000h ～ 0xFFE_FFFFh	PLD01,PLD02 レジスタ	CPU ボード
	Block7	16bit	0xFFF_0000h ～ 0xFFF_EFFFh	内蔵データ RAM (32K-byte)	CPU
	Block7	8/16bit	0xFFF_F000h ～ 0xFFF_FFFFh	内蔵周辺 I/O	CPU

【μT-Engine/V850E-MA3 詳細マップ 】

９．４．拡張ボードへの電源供給

μT-Engine から拡張ボードへ供給できる電圧と電流を表 9.4.1 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお、表 9.4.1 の電流量は、参考値です。保証値ではありません。

表 9.4.1　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備　　考
+3.3VSB	+3.3V	500mA	AC アダプタ接続時に供給
+3.3V	+3.3V		ボード電源 ON 時に供給

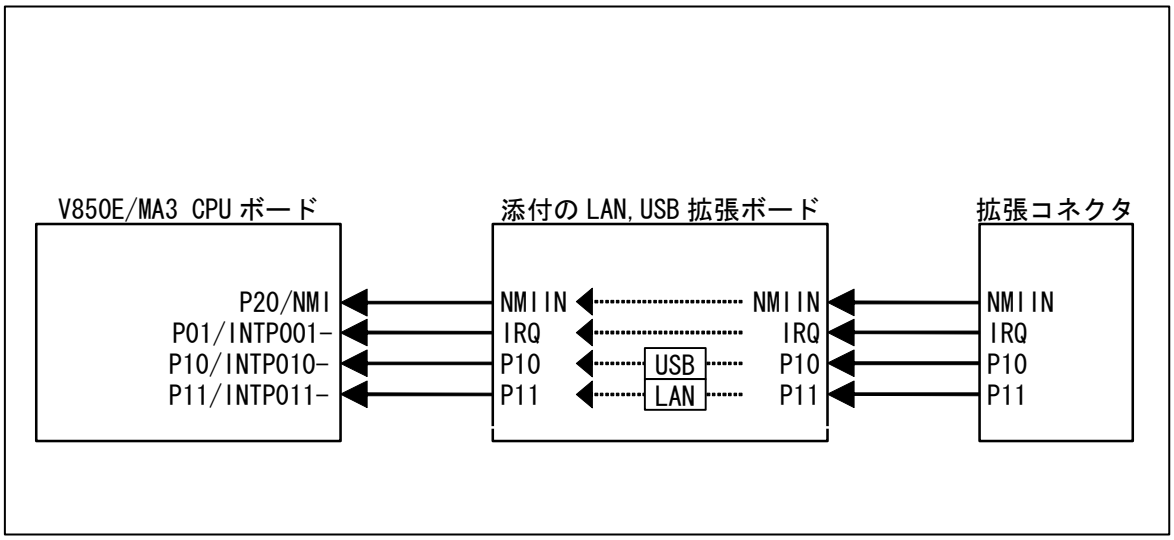
※許容電流量は、+3.3VSB と+3.3V を合わせて 500mA まで使用できます。

９．５．拡張ボードからの割込み入力

μT-Engine には、拡張ボードの割込み入力用として、拡張コネクタに２本の割込み入力端子を設けています。また、添付の LAN、USB 拡張ボードは、USB と LAN の割込みに P10、P11 を使用しています。図 9.5.1 にμT-Engine 内の拡張コネクタ割込み端子構成を示します。

拡張コネクタの各割り込み端子は、Low レベルで割込みを認識します。

図 9.5.1　μT-Engine 内の拡張コネクタ割込み端子構成



注１：P10/INTP010-と P11/INTP011-は、添付の拡張ボードが使用しているために他の拡張ボードでは、使用できません。

注２：各割り込みのアクティブレベルは、以下のようになります。詳細はμT-Engine のハードウェアのマニュアルを参照してください。

P20/NMI　　：立ち上がりエッジ
P01/INTP001-　　：ＬＯＷレベル
P10/INTP010-　　：ＬＯＷレベル
P11/INTP011-　　：立ち上がりエッジ

９．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 9.6.1 に拡張ボードのスタック構成を示します。

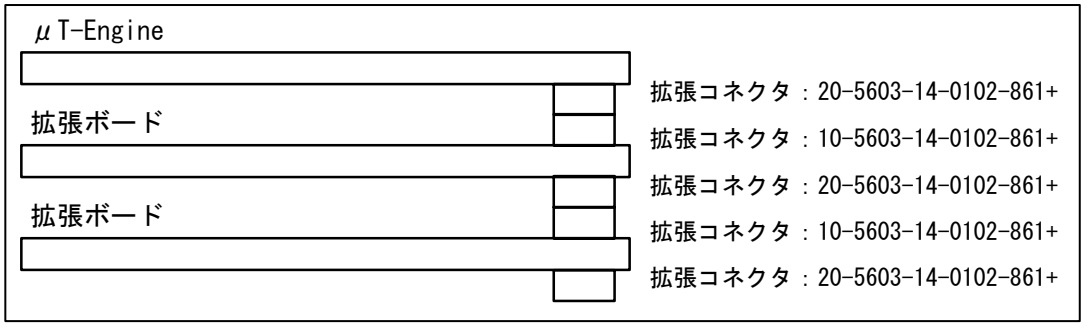


図 9.6.1　拡張ボードのスタック構成

９．７．/WAIT 入力

μT-Engine には、拡張ボードの/WAIT 入力用として、拡張コネクタに 1 本の EXTWAIT-入力端子を設けています。

また、EXTWAIT-信号は、添付の LAN、USB 拡張ボードで使用しています。EXTWAIT-はプログラマブル・ウェイトで設定できる数以上のウェイトが必要な場合に使用してください。パルス幅は必要な EXTRD-、EXTxWR-パルス幅以上を与えてください。

図 9.7.1 に拡張コネクタの EXTWAIT-端子の構成図を示します。

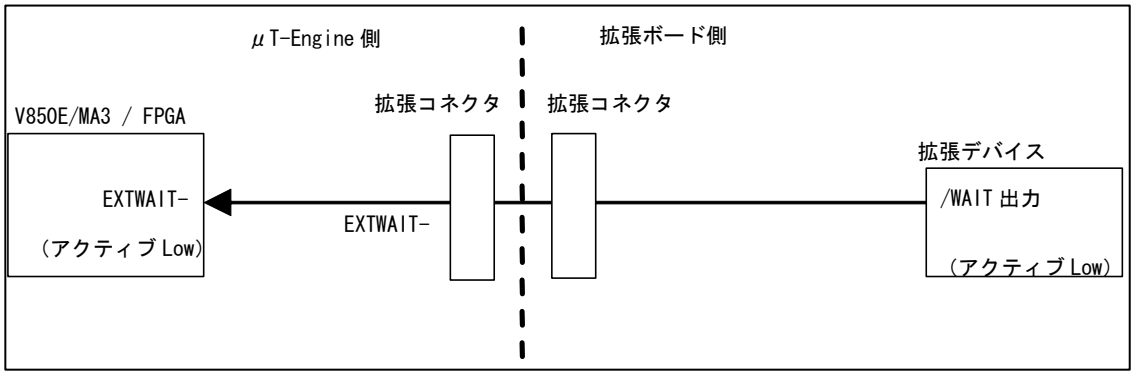


図 9.7.1　拡張コネクタの EXTWAIT-端子の構成図

９．８． ACタイミングについて

図 9.8.1 に示すように拡張コネクタに出力しているLocal バス信号は、バスバッファを介して出力しています。そのため、V850E/MA3 のバスのタイミングに対してバス信号が遅延します。拡張ボードは、この遅延時間を考慮して設計してください。次頁以降にバスタイミングを示します。

なお、V850E/MA3 のバスタイミングの詳細については、V850E/MA3 ユーザーズ・マニュアルを参照してください。

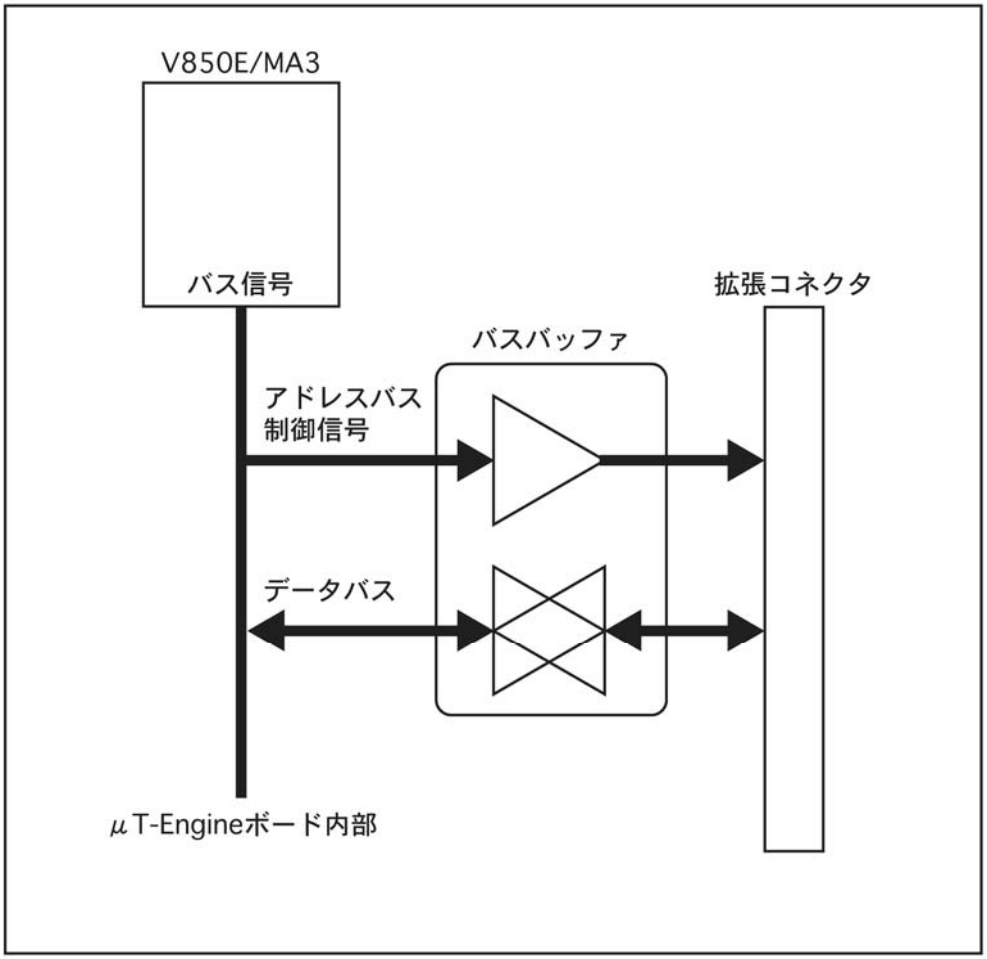


図 9.8.1　拡張コネクタのバスバッファ構成

ＤＣ特性

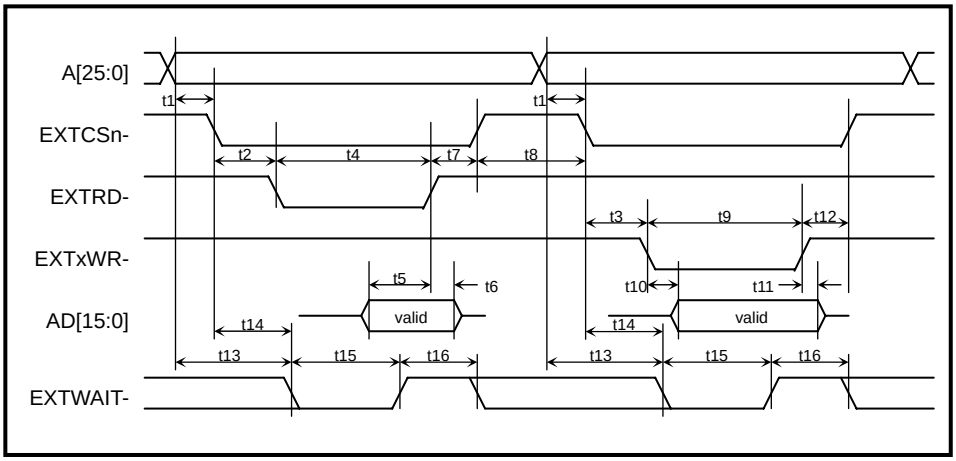
拡張コネクタのＤＣ特性を記します。

項目	略号	条件	MIN	TYP	MAX	単位
ハイ・レベル入力電圧	V_{IH}		2.0		3.6	V
ロー・レベル入力電圧	V_{IL}		0		0.8	V
ハイ・レベル出力電圧	V_{OH}	I_{OH} = −100μA	2.8			V
		I_{OH} = −1mA	2.3			V
ロー・レベル出力電圧	V_{OL}	I_{OL} = 3mA			0.4	V
ハイ・レベル入力リーク電流	I_{LIH}	V_I=3.3V			10	μA
ロー・レベル入力リーク電流	I_{LIL}	V_I=0V			−10	μA

注）EXTRXD1-,EXTTXD1-,EXTCTS1-,EXTRTS1-は除きます。これらの信号はRS232Cに準拠した信号です。

ＡＣ特性

拡張コネクタのＡＣ特性を記します。



【 拡張コネクタタイミング図 】

ｼﾝﾎﾞﾙ	説明	Min(nS)	Max(nS)
t1	Address valid to EXTCSn- ↓ delay	0	15
t2	EXTCSn-↓ to EXTRD-↓ delay(*2)	(0.5+WAS)×25 − 6	
t3	EXTCSn-↓ to EXTxWR-↓ delay (*1)(*2)	(0.5+WAS)×25 − 6	
t4	EXTRD- pulse width (*3)	(1.5+W)×25 −4	
t5	Read data setup	41	
t6	Read data hold	0	
t7	EXTRD-↑ to EXTCSn-↑ delay	0	
t8	ETXCSn- idle width (*5)	i×25	
t9	EXTxWR- pulse width (*1) (*3)	(1+W)×25 − 4	
t10	EXTxWR-↓ to write data valid delay (*1)		3.5
t11	EXTxWR-↑ to write data hold (*1) (*5)	(0.5+i)×25 − 19	
t12	EXTxWR-↑ to EXTCSn-↑ delay (*1)	8.5	
t13	Address to EXTWAIT-↓ delay (*2)		(1+WAS)×25 − 39
t14	EXTCS5- to EXTWAIT-↓ delay (*2)		(1+WAS)×25 − 54
t15	EXTWAIT- Low pulse width	(*6)	
t16	EXTWAIT- High pulse width	21	

【拡張コネクタ：CN7/CPUボード特性表 】

ｼﾝﾎﾞﾙ	説明	Min(nS)	Max(nS)
t1	Address valid to EXTCS5-↓ delay	0	15
t2	EXTCS5-↓ to EXTRD-↓ delay (*2)	(0.5+WAS)×25－6	
t3	EXTCS5-↓ to EXTxWR-↓ delay (*1) (*2)	(0.5+WAS)×25－6	
t4	CS5 Area : EXTRD- pulse width (*4)	(1.5+W)×25 -4	
t5	CS5 Area : Read data setup	41	
t6	Read data hold	0	
t7	EXTRD-↑ to EXTCS5-↑ delay	0	
t8	EXTCS5- idle width (*5)	i×25	
t9	CS5 Area : EXTxWR- pulse width (*1) (*4)	(1+W)×25 - 4	
t10	EXTxWR-↓ to write data valid delay (*1)		3.5
t11	CS5 Area : EXTxWR-↑ to write data hold (*1)(*5)	(0.5+i)×25 - 19	
t12	EXTxWR-↑ to EXTCS5-↑ delay (*1)	8.5	
t13	Address to EXTWAIT2-↓ delay (*2)		(1+WAS)×25－49
t14	EXTCS5- to EXTWAIT2-↓ delay (*2)		(1+WAS)×25－64
t15	EXTWAIT2- Low pulse width	(*6)	
t16	EXTWAIT2- High pulse width	21	

【拡張コネクタ：CN2/拡張ボード特性表 】

注(*1)：EXTxWR-は EXTLWR-、EXTUWR-です。

注(*2)：CPU の ASC レジスタの設定値（アドレス・セットアップ・ウェイト数）に依存しています。WAS はアドレス・セットアップ・ウェイト数です。

注(*3)：EXTWAIT-端子入力幅と CPU の DWC0、1 レジスタの設定値（プログラマブル・ウェイト数）に依存しています。W は EXTWAIT-端子のウェイトとプログラマブル・ウェイトのどちらか長い方のウェイト数です。

注(*4)：EXTWAIT2-端子入力幅と CPU の DWC0、1 レジスタの設定値（プログラマブル・ウェイト数）に依存しています。W は EXTWAIT2-端子のウェイトとプログラマブル・ウェイトのどちらか長い方のウェイト数です。

注(*5)；CPU の BCC レジスタの設定値（アイドル・ステート数）に依存しています。i はアイドル・ステート数です。

注(*6)：EXTWAIT-,EXTWAIT2-はプログラマブル・ウェイトで設定できる数以上のウェイトが必要な場合に使用してください。パルス幅は必要な EXTRD-、EXTxWR-パルス幅以上を与えてください。

【注意】

（１）バスタイミングの遅延時間は、参考値です。保証値ではありません。

■　第１０章 ARM T-Engine 拡張ボード設計ガイド

本章では、ARM T-Engine の外部拡張ポート経由で接続する拡張ボード設計指針を説明します。拡張ボードとは、ユーザ任意のデバイス等が搭載され、T-Engine 上の拡張コネクタに出力している ARM のアドレスバス、データバス、および制御信号により制御可能なボードを意味します。

１０．１．T-Engine 拡張コネクタ仕様

T-Engine、μT-Engine 実装コネクタ型式：2x-5603-14-0303-861+（京セラエルコ）
適合コネクタ型名：1x-5603-14-0303-861+（京セラエルコ）（x は梱包形態に付き不問）
図 10.1 に拡張コネクタの配置図を示します。
(図は標準 T-Engine ですが、μT-Engine も同様の配置となります。)

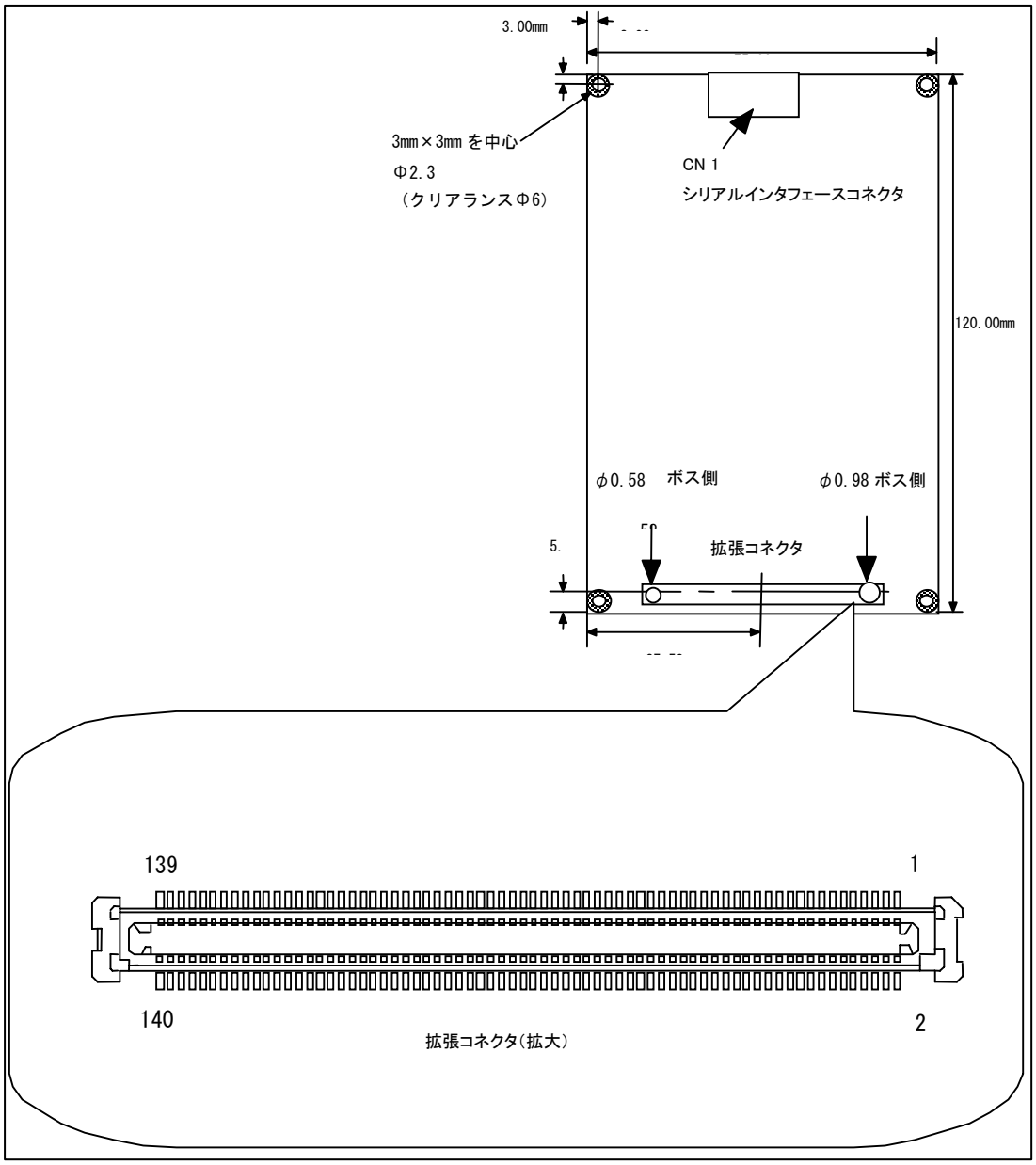


図 10.1　拡張コネクタの配置図(TopView)

１０．２．　拡張ボードの基板サイズ

拡張ボードは、各 T-Engine の基板と同じサイズ（120mm*75mm or 85mm*60mm）にすることを推奨します。

拡張ボード A 面（CPU ボード側）には、原則部品を配置しないでください。

拡張ボード B 面（拡張 LAN ボード側）には、高さ 9mm 以上の部品を配置しないでください。ただし、拡張ボードを使用せずに PLUG だけを実装する下端ボードの場合は、B 面に高さ 15mm 未満の部品を配置できます。

基板寸法に関する規定を以下に示します。

(1)基板厚は、1.6mm とします。

(2)基板取り付け穴φ2.1mm を四隅に配置してください。穴位置は、基板端から 3.0mm または 2.5mm とします。穴の中心から半径 3.0mm または 2.5mm の範囲には、部品やパターン（GND は除く）を配置しないでください。

(3)拡張コネクタのボス穴中心は、基板端から 5.5mm に配置してください。拡張コネクタのセンターは基板センターと同じです。

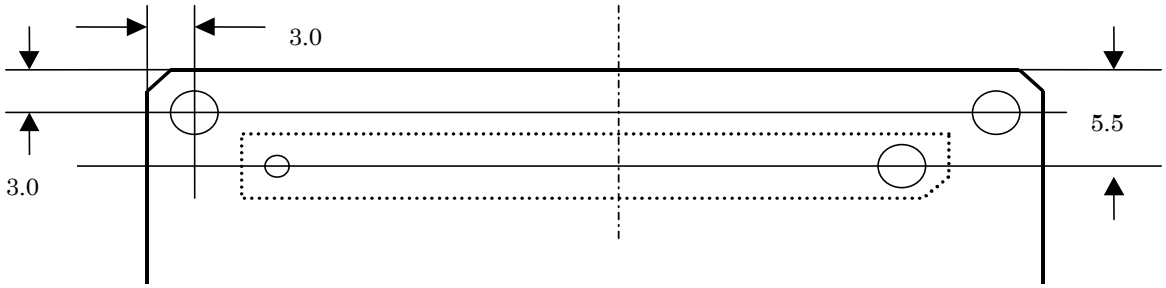


図 10.2.1　標準 T-Engine 拡張コネクタ周辺の寸法

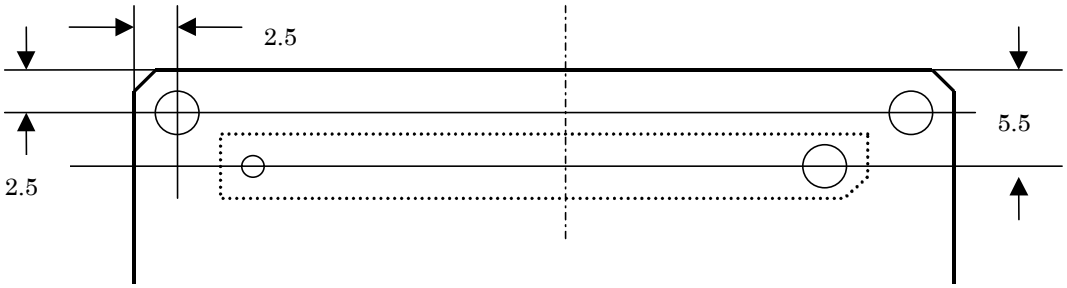
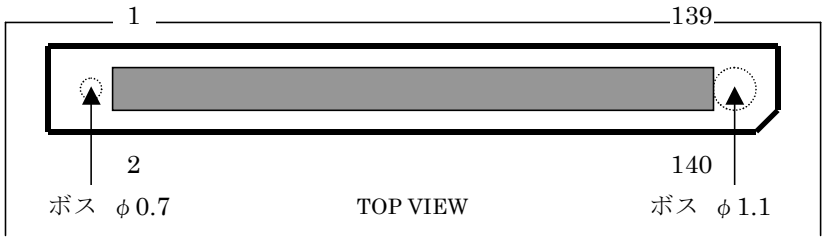


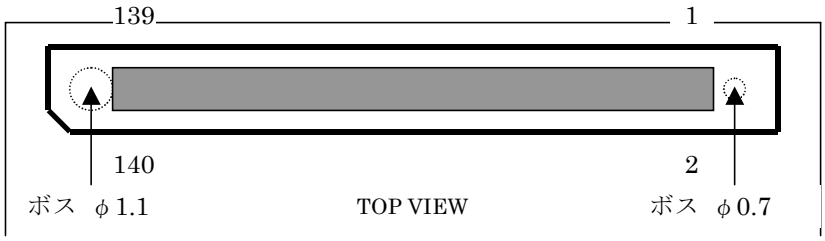
図 10.2.2　μT-Engine 拡張コネクタ周辺の寸法

１０．３　拡張コネクタの実装方向

図 10.3 に、拡張コネクタの実装方向を示します。ピン番号は、コネクタメーカが指定する部品としてのピン番号と反転していますので、パターン設計時にご注意ください。



A 面 PLUG



B 面 RECE

図 10.3　拡張コネクタの実装方向

１０．４．　拡張コネクタ信号配置

表 10.4 に拡張コネクタ信号配置を示します。

表 10.4　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	EXB_5V(＊1)	OUT	36	D27	I/O	71	CS2#	OUT	106	RSV11	-
2	EXB_5V	OUT	37	D28	I/O	72	CS3#	OUT	107	GND	-
3	EXB_5V	OUT	38	D29	I/O	73	WE0#	OUT	108	GND	-
4	EXB_5V	OUT	39	D30	I/O	74	R/W(＊2)	OUT	109	RSV12	-
5	EXB_5V	OUT	40	D31	I/O	75	GND	-	110	RSV13	-
6	EXB_5V	OUT	41	GND	-	76	GND	-	111	RSV14	-
7	D0	I/O	42	GND	-	77	CLK	OUT	112	RSV15	-
8	D1	I/O	43	A0	OUT	78	BE2#(＊3)	OUT	113	RSV16	-
9	D2	I/O	44	A1	OUT	79	GND	-	114	RSV17	-
10	D3	I/O	45	A2	OUT	80	BE3#(＊3)	OUT	115	RSV18	-
11	D4	I/O	46	A3	OUT	81	OE#	OUT	116	RSV19	-
12	D5	I/O	47	A4	OUT	82	RESERVED	-	117	RSV20	-
13	D6	I/O	48	A5	OUT	83	BREQ0#	IN	118	BATTERY_SIO(＊5)	I/O
14	D7	I/O	49	A6	OUT	84	BACK#	OUT	119	RSV22	-
15	D8	I/O	50	A7	OUT	85	BE0#(＊3)	OUT	120	advise_EME(＊6)	IN
16	D9	I/O	51	A8	OUT	86	BE1#(＊3)	OUT	121	GND	-
17	D10	I/O	52	A9	OUT	87	WAIT#	IN	122	GND	-
18	D11	I/O	53	A10	OUT	88	DEOT#	OUT	123	INT	IN
19	D12	I/O	54	A11	OUT	89	DREQ0#	IN	124	WDTOUT	OUT
20	D13	I/O	55	A12	OUT	90	DREQ1#	IN	125	PORST#	OUT
21	D14	I/O	56	A13	OUT	91	DACK0#	OUT	126	RTCK	OUT
22	D15	I/O	57	A14	OUT	92	DACK1#	OUT	127	RESET#	OUT
23	GND	-	58	A15	OUT	93	GND	-	128	TRST#	IN
24	GND	-	59	GND	-	94	GND	-	129	TCK	IN
25	D16	I/O	60	GND	-	95	RSV0(＊4)	-	130	TMS	IN
26	D17	I/O	61	A16	OUT	96	RSV1	-	131	TDI	IN
27	D18	I/O	62	A17	OUT	97	RSV2	-	132	TDO	OUT
28	D19	I/O	63	A18	OUT	98	RSV3	-	133	VBAT(＊7)	IN
29	D20	I/O	64	A19	OUT	99	RSV4	-	134	VBAT	IN
30	D21	I/O	65	A20	OUT	100	RSV5	-	135	VBAT	IN
31	D22	I/O	66	A21	OUT	101	RSV6	-	136	VBAT	IN
32	D23	I/O	67	A22	OUT	102	RSV7	-	137	GND	-
33	D24	I/O	68	A23	OUT	103	RSV8	-	138	GND	-
34	D25	I/O	69	CS0#	OUT	104	RSV9	-	139	GND	-
35	D26	I/O	70	CS1#	OUT	105	RSV10	-	140	GND	-

：ARM のアドレスバス、データバス、制御信号、シリアル信号です。電気的レベルは、3.3V です。

＊１：DipSW または割り当てられている I/O ポートを操作すると 5.0V(typ.)の電源が供給されます。

＊２：多くの機種で接続されていません。WE#、OE#を使用してください。

＊３：LH7A400 Core の場合は、WE#アサート時に BE が出力されません。機種によってはマニュアルのエンディアン表記が異なる場合がありますのでご注意ください。

＊４：RSVx の表記は、機種ごとに割当てが異なります。説明書をご覧ください。

＊５:バッテリボードの制御用に用意されたポートです。MPU のシリアルポートに接続されています。トライステートにて接続されていますので、単線で双方向通信が可能です。プロトコルを定義してからご使用ください。

＊６：本体 ROM を切り離すことが出来ます。(ICE のエミュレーション RAM またはユーザ ROM が接続できます)

＊７：バッテリボードからの入力用途です。3.6-5.0(+5%,-0%)V を入力すると、本体が動作します。

１０．５．拡張ボードを拡張できるエリア

表 10.5 に ARM のメモリマップ例(TTM109 Freescale MC9328MX21)を示します。

拡張ボードは表 10.5 に示す通り、CS1,3,5 の３つのエリアに拡張可能です(外部拡張ポートの名称とは異なります。)。但し、CS1 は ARM 標準の CS 端子に出力されていないため、ARM バス用の標準オプションボードには対応できません。具体的には、TTZ101-002(LAN ボード)の CS 選択では TTM109 の CS1 を選択することが出来ません。

各エリアは、MPU 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 10.5　TTM109 のメモリマップ

エリア No.	バス幅	MPU の空間	空間名	デバイス(使用できる空間)	備考
CSD0	32bit	h’C0000000 ～ h’C3FFFFFF	SD-RAM エリア	64MB MT48V16M16LFxx-75(Micron)	
CSD1	-	h’C4000000 ～ h’C7FFFFFF	SD-RAM エリア	未使用	
CS0	32bit	h’C8000000 ～ h’CBFFFFFF	Flash ROM エリア	16MB MBM29DL640E90TN (富士通)×2	外部拡張ポート名称 CS0#に出力
CS1	8bit/ 8,16,32 bit	h’CC000000 ～ h’CFFFFFFF	FPGA エリア +User 開放/ User 開放	「FPGA エリア+User 開放」選択時の User 開放アドレス範囲 h’CC000000～CCFFFFFF (16MB) 「User 開放」選択時のメモリ範囲(64MB)	外部拡張ポート名称 RSV20 に出力 (ポート番号 117 番) Dip-SW により「FPGA エリア+User 開放(8bit)」と「User 開放(8,16,32bit)」の選択が可
CS2	-	h’D0000000 ～ h’D0FFFFFF	ー	使用不可	PinMultiplex のため使用不可
CS3	8,16,32 bit	h’D1000000 ～ h’D1FFFFFF	User 開放	16MB	外部拡張ポート名称 CS1#に出力
CS4	使用不可 /8bit	h’D2000000 ～ h’D2FFFFFF	使用不可/ FPGA エリア	none/ FPGA	外部拡張ポート名称 CS2#に出力 Dip-SW により「使用不可」と「FPGA エリア」の選択が可
CS5	8,16bit/ 8,16,32 bit	h’D3000000 ～ h’D3FFFFFF	PC カード +User 開放/ User 開放	ユーザ開放アドレス範囲 h’D3400000～h’D3FFFFFF (12MB)	外部拡張ポート名称 CS3#に出力 外部 wait を使用する場合は CS4 が使用不可 PC カードを同時に使用する場合は、ビット幅の変更に対して注意が必要(PC カードドライバがビット幅を変更する可能性があります)

*ユーザ開放でビット幅が制限されている領域は、都度 Chip Select x Upper Control Register を操作してビット幅を変更することにより、制限ビット幅以外で使用することも出来ます。

１０．６．拡張ボードへの電源供給

T-Engine から拡張ボードへ供給できる電圧と電流を表 10.6 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。なお、本体の消費電力を 2W 以内、AC アダプタの出力を 5.0V 2.0A として算出しています。表 10.6 の電流量は参考値です。保証値ではありません。

表 10.6　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備考
EXB 5V	5.0V	1400mA(*1)	AC アダプタ使用時
EXB 5V	5.0V	370mA(*1)(*2)	バッテリボード使用時

＊１：USB ホストコントローラをバスパワーで駆動している場合および、PC Card に 5V 品を使用している場合はその電流量を引いてください。

＊２：バッテリボード(TTZ101-003)から 0.5A の電流供給を想定して算出しています。本体ボードとの消費のバランスによって変化します。VBAT 端子にバッテリボード以外の電源を接続する場合はその電源容量によります。

１０．７．拡張ボードからの割込み入力

T-Engine には、拡張ボードの割込み入力用として、拡張コネクタに INT7$(負論理)の割込み入力端子を設けています（機種によっては RSV 端子に複数の割込み端子を割り当てている場合もあります)。図 10.7 に T-Engine 内の拡張コネクタ割込み端子構成を示します。

拡張コネクタの各割込み端子は、Low レベルで割り込みを認識します。割込み認識後、T-Engine 上の FPAG 内割り込みコントローラで論理変換され、ARM Core に割込みを発生させます。

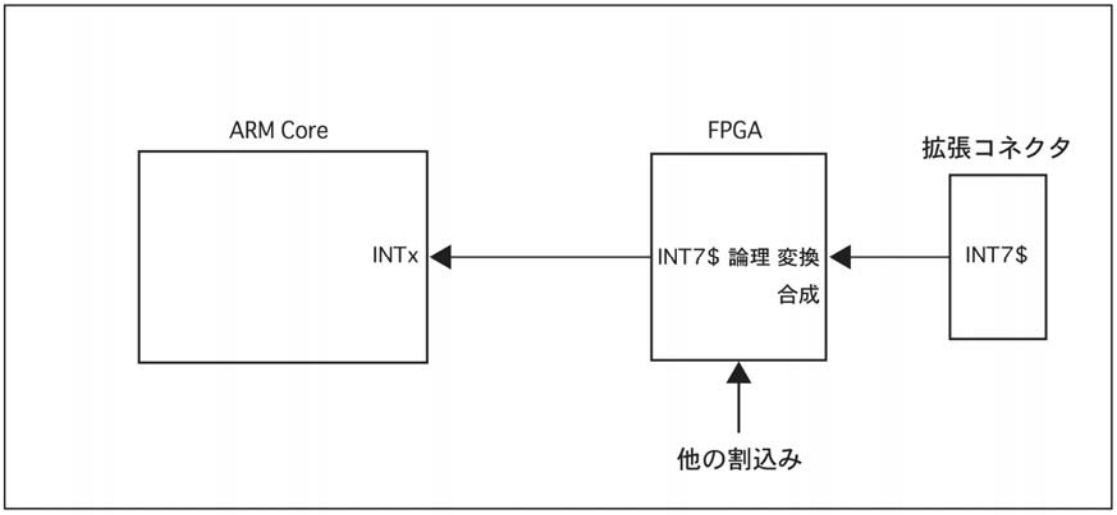


図 10.7　T-Engine 内の拡張コネクタ割込み端子構成

*INT 端子は機種ごとに接続方法が異なります。多くの場合 FPGA 内で論理反転されています。拡張コネクタの論理は負論理です。FPGA 内部に割込みコントローラがあり、ボード内のほかの割込みと合成されます。エッジ割込み、レベル割込みの選択やマスクを行うことが可能です。

１０．８．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 10.8 に拡張ボードのスタック構成を示します。

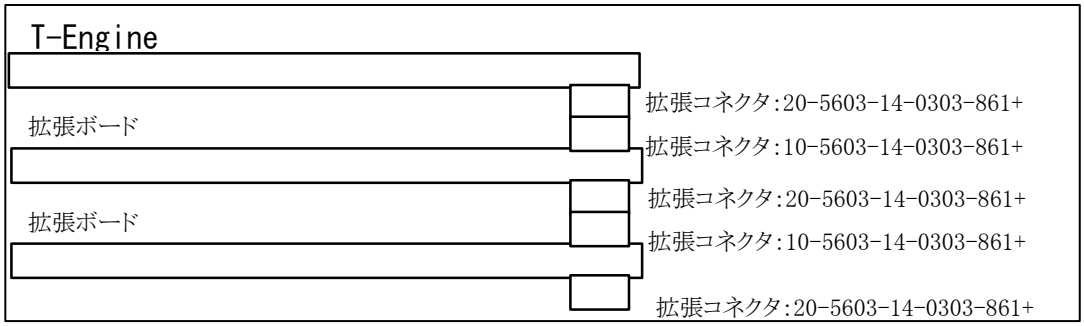


図 10.8　拡張ボードのスタック構成

１０．９．EXT_WAIT#入力

T-Engine には、拡張ボードの WAIT 入力用として、拡張コネクタに 1 本の WAIT 入力端子を設けています。拡張ボードから WAIT を出力する場合には、複数の拡張ボードをスタックした際の WAIT 出力の衝突を防ぐために、オープンコレクタ出力としてください。

なお、T-Engine 側の EXT_WAIT#端子は、1kΩでプルアップしています。図 10.9 に拡張コネクタの/WAIT 端子の構成図を示します。

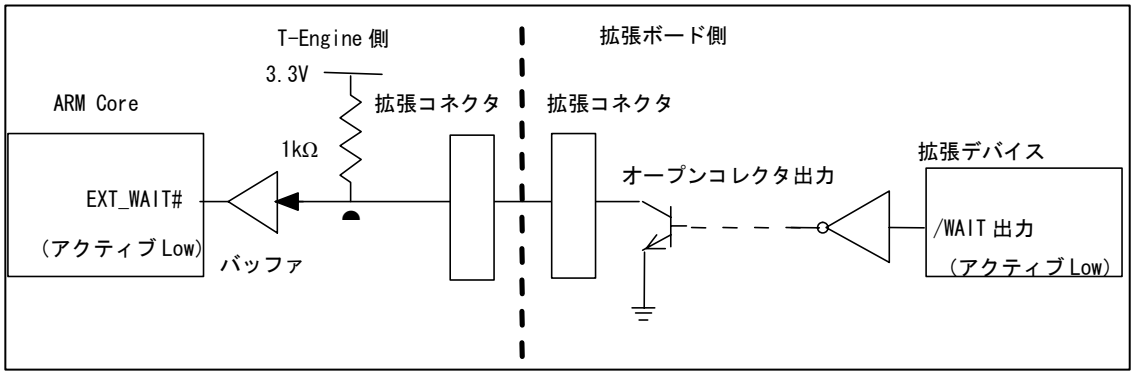


図 10.9　拡張コネクタの EXT_WAIT#端子の構成図

１０．１０．AC タイミングについて

図 10.10 に示すように拡張コネクタに出力している ARM のバス信号は、多くの場合バスバッファを介して出力しています。そのため、ARM のバスの AC タイミングに対して約１０nsec バス信号が遅延します。拡張ボードは、この遅延時間を考慮して設計してください。次頁の図に ARM の基本バスタイミング例(TTM109)を示します。

なお、ARM のバスタイミングの詳細については、ARM Core の各ハードウェアマニュアルを参照してください。

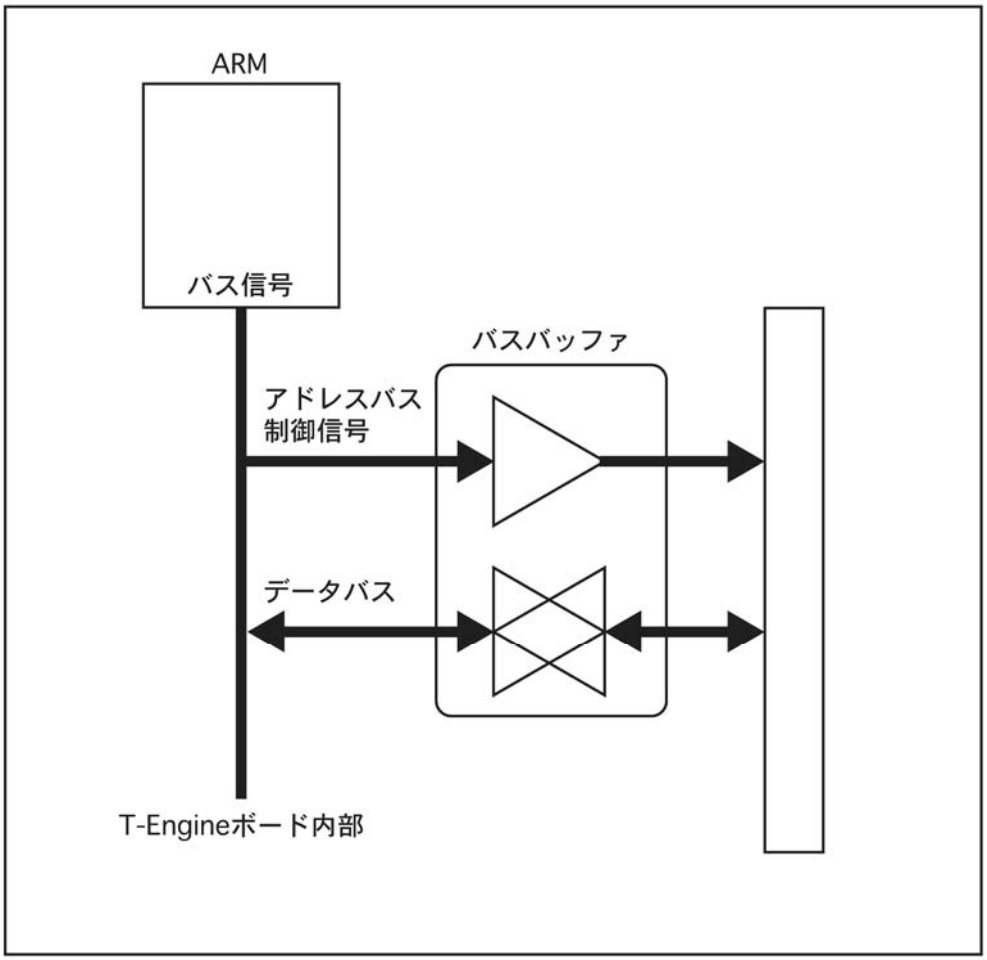
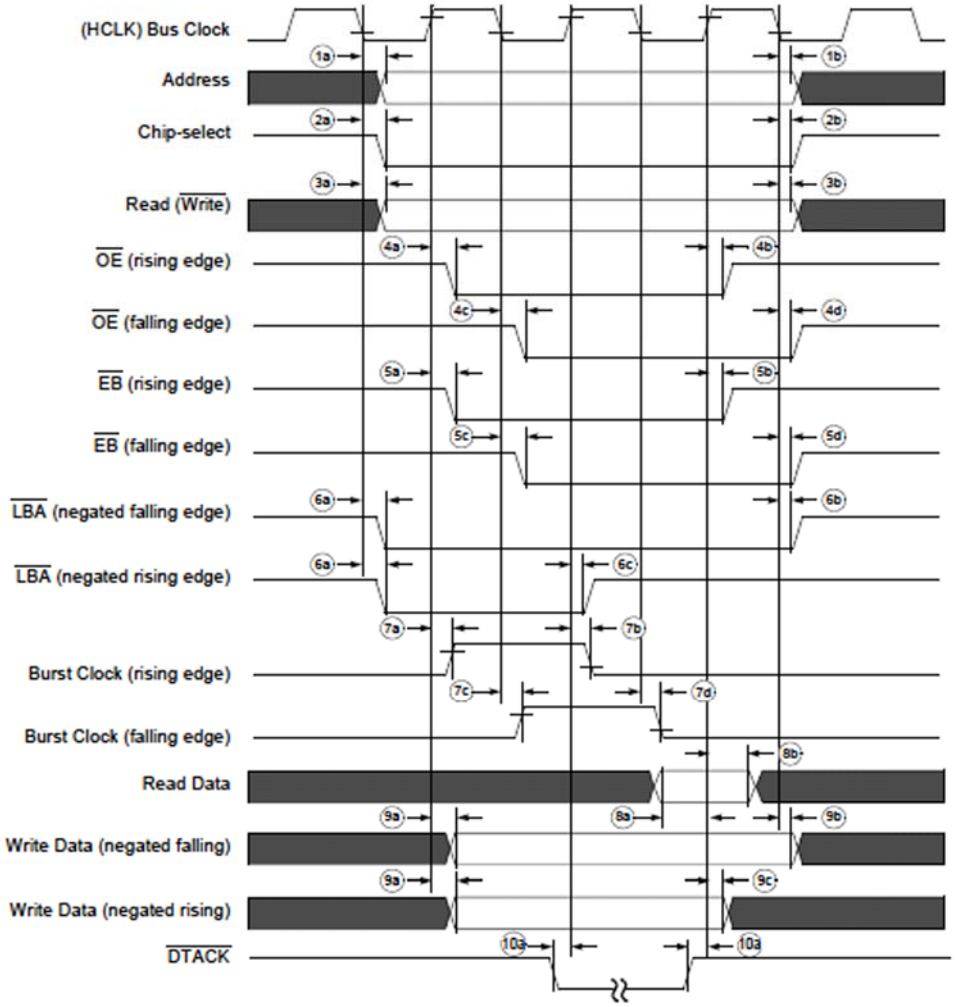


図 10.10　拡張コネクタのバスバッファ構成

【注意】

（１）バスタイミングの遅延時間は、参考値です。保証値ではありません。

AC タイミング



EIM Bus Timing Diagram

第１０章の改訂履歴

版	日付	変更箇所	変更内容
0			新規発行
1	05/04/11	2.2 章	電気的仕様にてバッテリからの電圧上限を変更(4.3V->5.0V)
2	05/06/17	2.2 章	uT-Engine の説明追記 バッテリ電圧を+-5%考慮し 5.25V に変更
3	05/09/29		マージに伴う章番号、図表番号の調整

■　第１１章　TX4956 T-Engine 拡張ボード設計ガイド

本章では、T-Engine/TX4956 の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボードとは、ユーザ任意のデバイス等が搭載されており、T-Engine 上の拡張コネクタに出力している TX4956 のアドレスバス、データバス、および PCI バスにより制御可能なボードです。

１１．１．T-Engine 拡張コネクタ仕様

T-Engine 実装コネクタ型式：20-5603-14-0404-861+（京セラエルコ）

適合コネクタ型名：10-5603-14-0404-861+（京セラエルコ）

図 11.1 に拡張コネクタの配置図を示します。

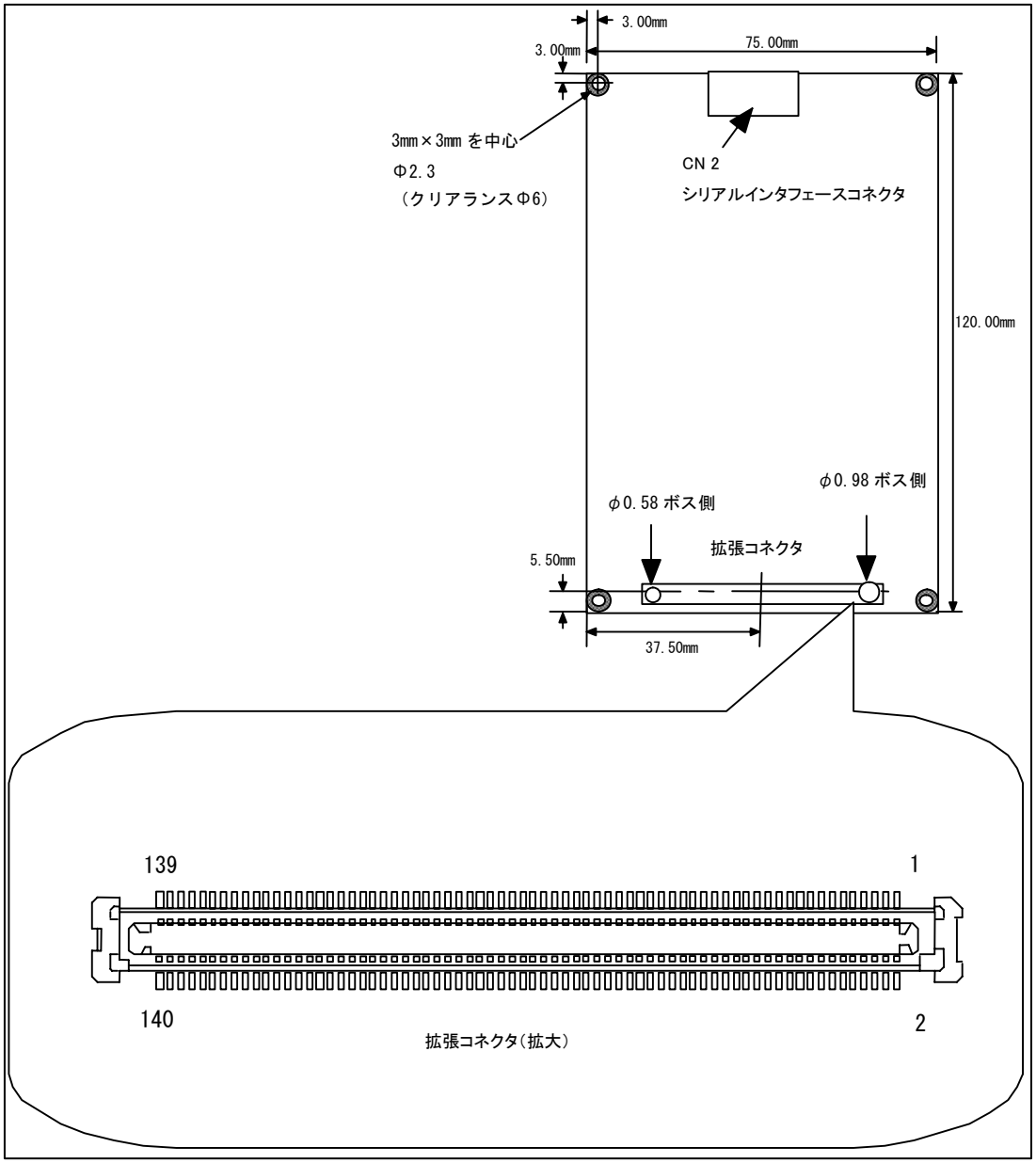


図 11.1　拡張コネクタの配置図

１１．２　拡張コネクタ信号配置

表 11.2 に拡張コネクタ信号配置を示します。

PCI バスと Local バスの信号になります。電気的レベルは、3.3V です。

表 11.2　拡張コネクタ信号配置

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	GND	-	36	PAD20	I/O	71	PAD2	I/O	106	LA1	OUT
2	PCICLK2	OUT	37	GND	-	72	PAD3	I/O	107	LA8	OUT
3	GND	-	38	PAD18	I/O	73	GND	-	108	LA0	OUT
4	PCICLK1	OUT	39	GND	-	74	PAD1	I/O	109	LWE1#	OUT
5	GND	-	40	PAD17	I/O	75	GND	-	110	LWE0#	OUT
6	PCICLK0	OUT	41	PCI_CBE3#	I/O	76	PAD0	I/O	111	GND	-
7	PCI_REQ2#	IN	42	PAD16	I/O	77	PCI_RESET#	OUT	112	LRD#	OUT
8	3.3V *1	OUT	43	PCI_CBE2#	I/O	78	LOBAT#	IN(O/D)	113	LD15	I/O
9	PCI_REQ1#	IN	44	PCI_STOP#	I/O	79	SHDN#	OUT	114	LD7	I/O
10	3.3V *1	OUT	45	PCI_LOCK#	I/O	80	PCI_INTA#	IN(O/D)	115	LD14	I/O
11	PCI_REQ0#	IN	46	PCI_PERR#	I/O	81	WAKEUP#	IN(O/D)	116	LD6	I/O
12	PCI_GNT2#	OUT	47	PCI_IRDY#	I/O	82	PCI_INTB#	IN(O/D)	117	LD13	I/O
13	GND	-	48	PCI_TRDY#	I/O	83	Reserved	-	118	LD5	I/O
14	PCI_GNT1#	OUT	49	GND	-	84	PCI_INTC#	IN(O/D)	119	LD12	I/O
15	GND	-	50	PCI_FRAME#	I/O	85	Reserved	-	120	LD4	I/O
16	PCI_GNT0#	OUT	51	GND	-	86	Reserved	-	121	LD11	I/O
17	PAD31	I/O	52	PCI_DEVSEL#	I/O	87	LA17	OUT	122	LD3	I/O
18	IDSEL2(PAD29)	OUT	53	PCI_PAR	I/O	88	FCS1#	OUT	123	LD10	I/O
19	PAD30	I/O	54	PCI_SERR#	IN(O/D)	89	LA16	OUT	124	LD2	I/O
20	IDSEL1(PAD28)	OUT	55	PCI_CBE1#	I/O	90	FCS0#	OUT	125	LD9	I/O
21	PAD29	I/O	56	PAD15	I/O	91	LA15	OUT	126	LD1	I/O
22	IDSEL0(PAD27)	OUT	57	PCI_CBE0#	I/O	92	IORDY#	IN(O/D)	127	LD8	I/O
23	PAD27	I/O	58	PAD14	I/O	93	GND	-	128	LD0	I/O
24	PAD28	I/O	59	PAD12	I/O	94	LA7	OUT	129	VBATT_IN *2	IN
25	GND	-	60	PAD13	I/O	95	LA14	OUT	130	VBATT_IN *2	IN
26	PAD26	I/O	61	GND	-	96	LA6	OUT	131	VBATT_IN *2	IN
27	GND	-	62	PAD11	I/O	97	LA13	OUT	132	VBATT_IN *2	IN
28	PAD25	I/O	63	GND	-	98	LA5	OUT	133	VBATT_IN *2	IN
29	PAD23	I/O	64	PAD10	I/O	99	LA12	OUT	134	VBATT_IN *2	IN
30	PAD24	I/O	65	PAD8	I/O	100	LA4	OUT	135	VBATT_IN *2	IN
31	PAD22	I/O	66	PAD9	I/O	101	LA11	OUT	136	VBATT_IN *2	IN
32	Reserved	-	67	PAD6	I/O	102	LA3	OUT	137	GND	-
33	PAD21	I/O	68	PAD7	I/O	103	LA10	OUT	138	GND	-
34	Reserved	-	69	PAD4	I/O	104	LA2	OUT	139	GND	-
35	PAD19	I/O	70	PAD5	I/O	105	LA9	OUT	140	GND	-

＊１：CPU ボードの電源オン時に+3.3V(typ.)の電源が拡張ボードに供給されます。

＊２：拡張ボードからの電源供給(5.0～7.0V)端子です。拡張ボードから CPU ボードに電源の供給が可能です。

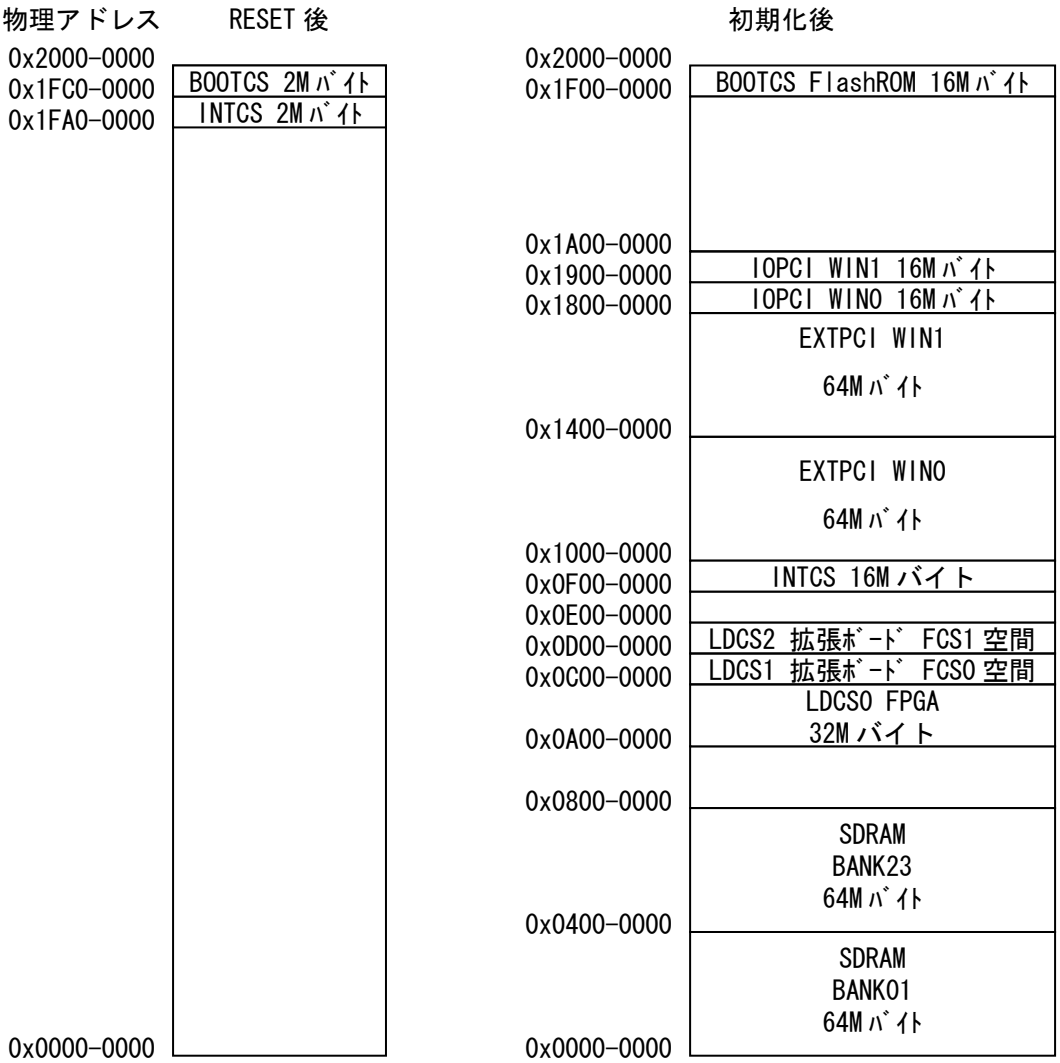
１１．３．拡張ボードを拡張できるエリア

表 11.3 に T-Engine/TX4956 のメモリマップを示します。

拡張ボードは、表 11.3 に示す通り、PCI 空間、LDCS1 および LDCS2 の３つのエリアに拡張可能です。

各エリアは、T-Engine/TX4956 に搭載されている VRC5477 内蔵のバスコントローラの設定により、ウェイト数およびバス幅の設定が可能であるため、アクセススピードが異なるデバイスやバス幅が異なるデバイスの混在が可能です。

表 11.3　TX4956 のメモリマップ



１１．４．拡張ボードへの電源供給

T-Engine から拡張ボードへ供給できる電圧と電流を表 11.4 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお、表 11.4 の電流量は、参考値です。保証値ではありません。

表 11.4　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備　　考
3.3V	+3.3V	800mA	ボード電源 ON 時に供給

１１．５．拡張ボードからの割込み入力

T-Engine には、拡張ボードの割込み入力用として、拡張コネクタに PCI_INTA#、PCI_INTB#、PCI_INTC# の 3 本の割込み入力端子を設けています。図 11.5 に T-Engine 内の拡張コネクタ割込み端子構成を示します。

拡張コネクタの各割込み端子は、Low レベルで割込みを認識します。VRC5477 が割込み認識後、TX4956 に割込みを発生させます。VRC5477 から TX4956 への割込みの設定は VRC5477 のレジスタで設定をします。

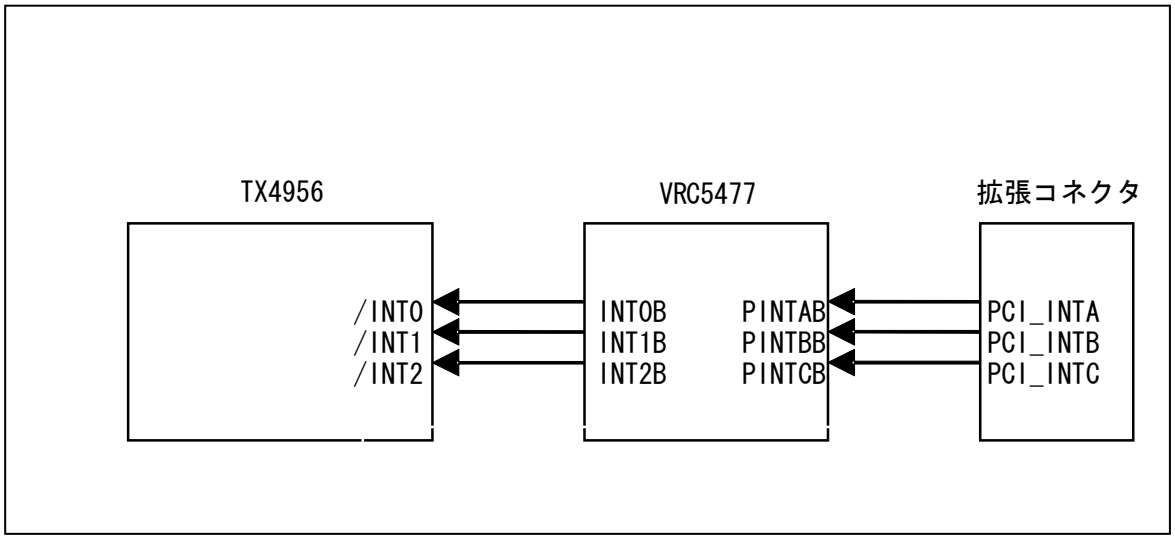


図 11.5　T-Engine 内の拡張コネクタ割込み端子構成

１１．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 11.6 に拡張ボードのスタック構成を示します。

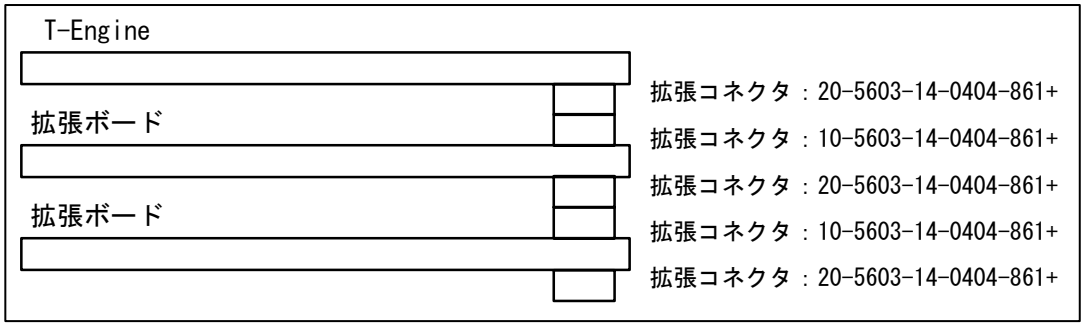


図 11.6　拡張ボードのスタック構成

１１．７．/WAIT 入力

T-Engine には、拡張ボードの/WAIT 入力用として、拡張コネクタに 1 本の IORDY#入力端子を設けています。拡張ボードから WAIT を出力する場合には、複数の拡張ボードをスタックした際の/WAIT 出力の衝突を防ぐために、オープンコレクタ出力としてください。

なお、T-Engine 側の IORDY#端子は、4.7kΩでプルアップしています。図 11.7 に拡張コネクタの IORDY#端子の構成図を示します。

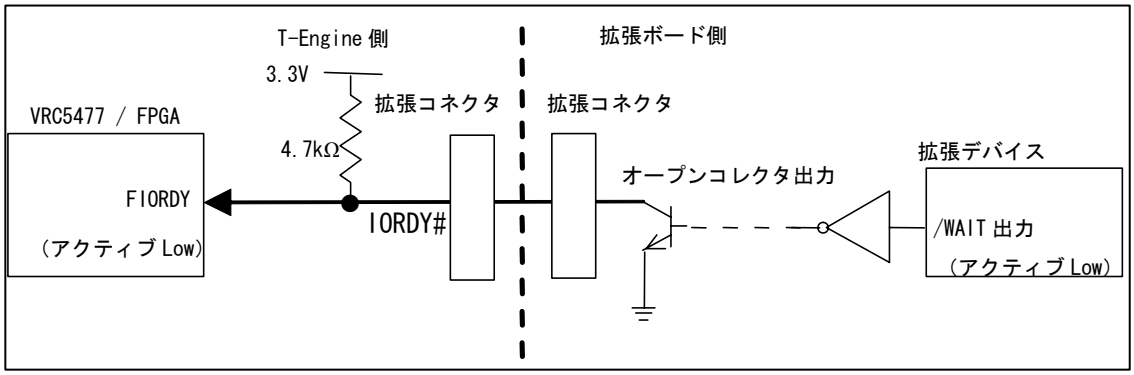


図 11.7　拡張コネクタの IORDY#端子の構成図

１１．８．AC タイミングについて

図 11.8 に示すように拡張コネクタに出力しているローカルバス信号は、バスバッファを介して出力しています。そのため、VRC5477 のバスのタイミングに対してバス信号が遅延します。拡張ボードは、この遅延時間を考慮して設計してください。次頁以降にバスタイミングを示します。

なお、VRC5477 のバスタイミングの詳細については、VRC5477 ハードウェアマニュアルを参照してください。

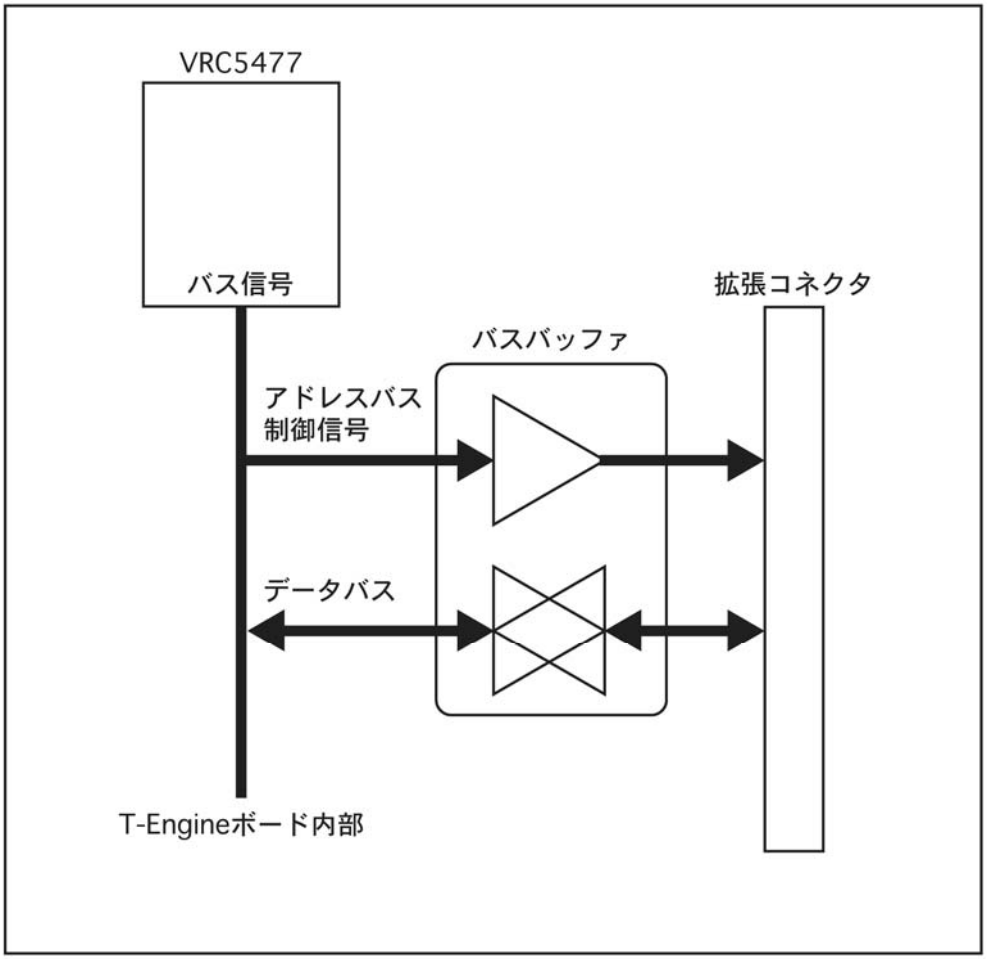
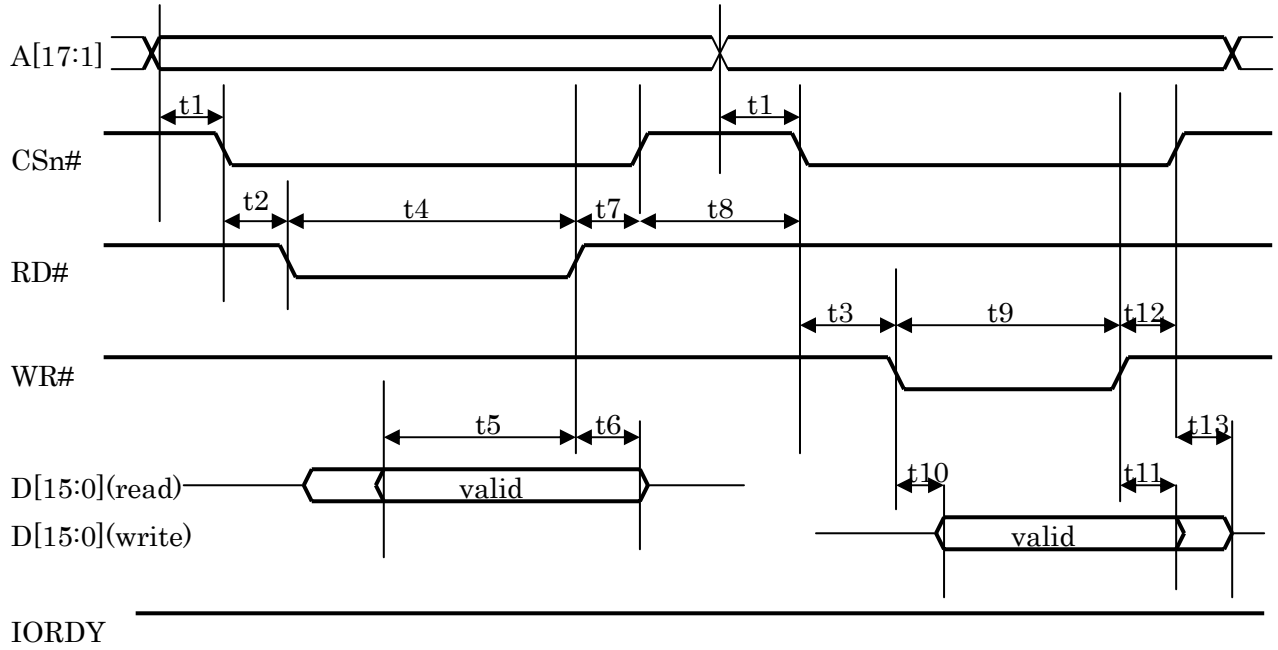


図 11.8　拡張コネクタのバスバッファ構成

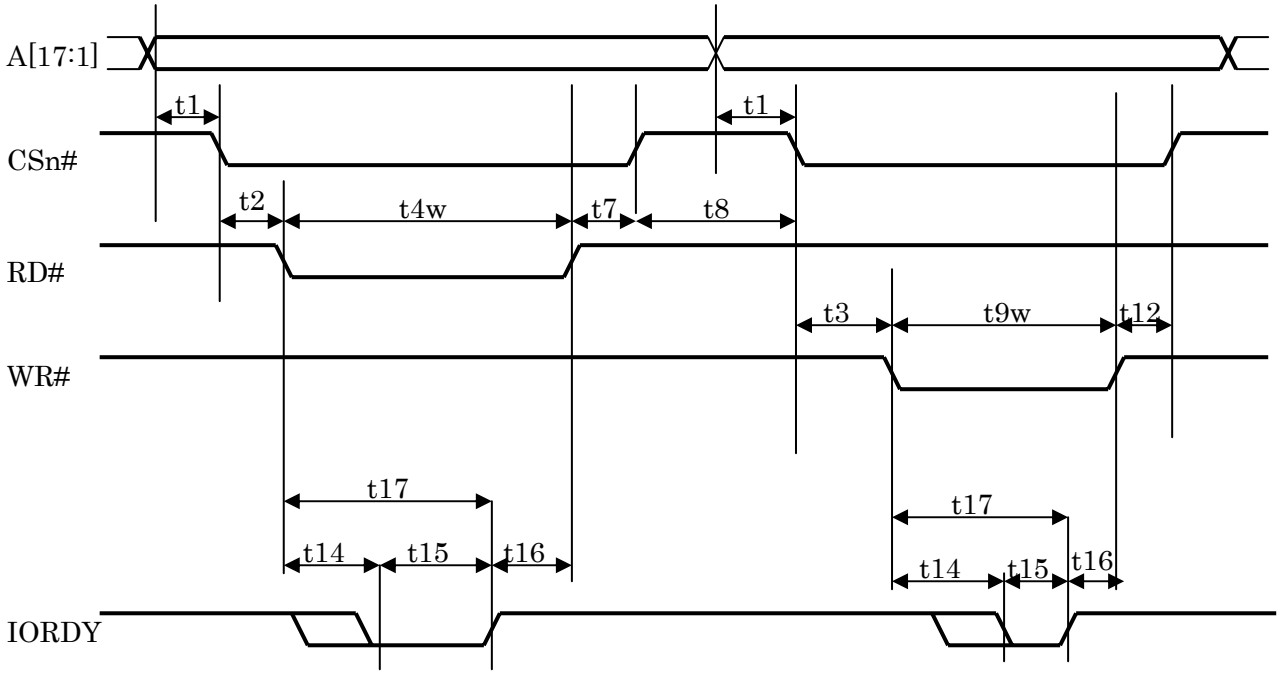
【注意】

（１）バスタイミングの遅延時間は、参考値です。保証値ではありません。

・拡張バス READ/WRITE タイミング



・拡張バス IORDY タイミング



・拡張バス仕様

ｼﾝﾎﾞﾙ	説明	Min [nS]	Max [nS]
t1	Address valid to CSn# ↓ delay	０	
t2	CSn # ↓ toRD# ↓ delay	０	
t3	CSn # ↓ to WR# ↓ delay	３０	
t4	RD# pulse width	１６０	
t4w	RD# pulse width (with IORDY controlled)	１９０	
t5	Read data setup	４０	
t6	Read data hold	０	３０
t7	RD# ↑ to CSn# ↑ delay	０	
t8	CSn# idle width	２５	
t9	WR# pulse width	１６０	
t9w	WR# pulse width (with IORDY controlled)	１９０	
t10	WR# ↓ to write data valid delay		４５
t11	WR# ↑ to write data hold	２０	
t12	WR# ↑ to CSn# ↑ delay	２５	６５
t13	CSn# ↑ to write data disable		２５
t14	RD#/WR# ↓ to IORDY ↓ delay	０	１２０
t15	IORDY pulse width	７０	
t16	IORDY ↑ to RD#/WR# ↑ delay	１０	
t17	RD#/WR# ↓ to IORDY ↑ delay	１９０	

■ 第１２章 Nios Ⅱ μT-Engine 拡張ボード設計ガイド

本章では、μT-Engine/ Nios Ⅱ （以下、μT-Engine と略す。）の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

拡張ボートとは、ユーザ任意のデバイス等が搭載されており、μT-Engine 上の拡張コネクタに出力している Nios Ⅱ の汎用 I/O により制御可能なボードです。

１２．１． μT-Engine 拡張コネクタ仕様

コネクタ番号：CN6

μT-Engine 実装コネクタ型式：20-5603-14-0606-861+（京セラエルコ）

適合コネクタ型名：10-5603-14-0606-861+（京セラエルコ）

図 12.1 に拡張コネクタの配置図を示します。

図 12.2 に拡張コネクタ実装方向を示します。

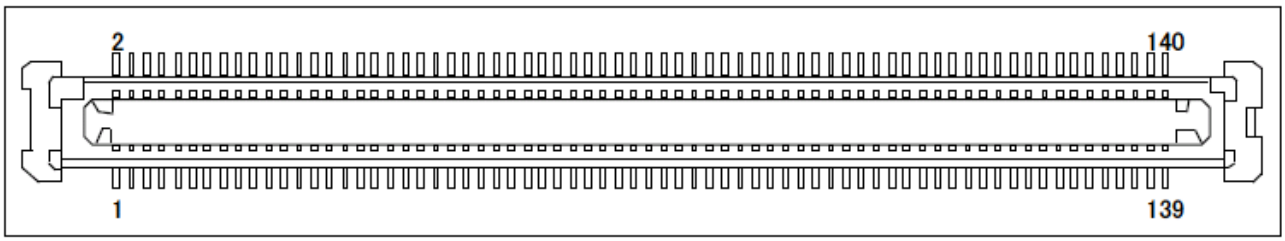


図 12.1 拡張コネクタの配置図

μT-Engine CPU ボード　基板（裏面）

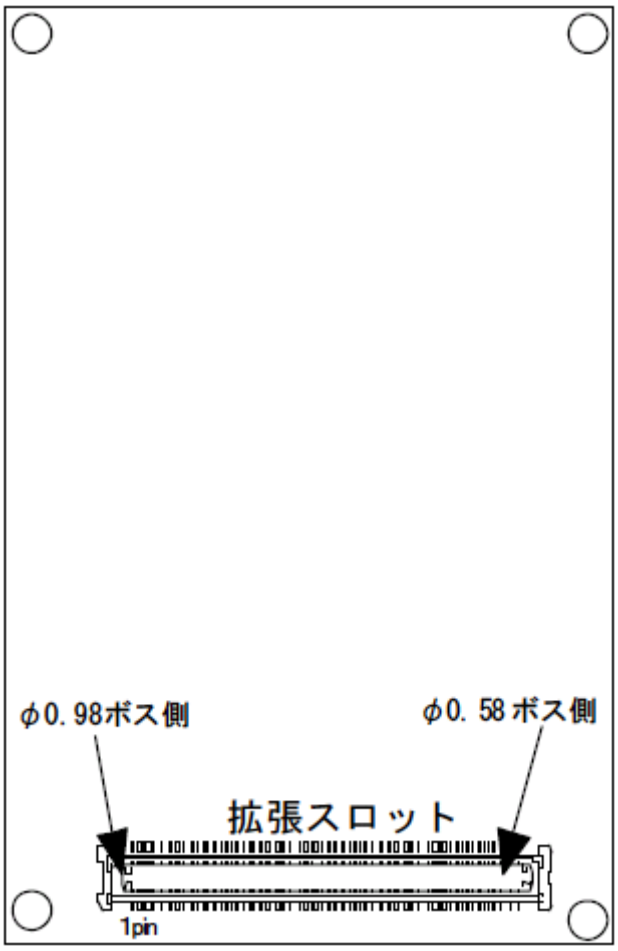


図 12.2　拡張コネクタ実装方向

１２．２．拡張コネクタ信号配置

表 12.2.1 に開発キットに標準添付のユニバーサルボードを接続する場合の信号配置を示します。μT-Engine の拡張コネクタは、一部の専用信号を除き FPGA の汎用 I/O 端子として再定義できます。表 12.2.2 にユーザが独自で拡張ボードを設計する場合を示します。

表 12.2.1　拡張コネクタ信号配置（標準添付のユニバーサルボードを接続する場合）

Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O	Pin No.	信号名	I/O
1	3.3V	―	36	protoIO25		71	ETXD	I	106	TCK	I
2	3.3V	―	37	protoIO26		72	ECTS#	I	107	TMS	I
3	3.3V	―	38	protoIO27		73	ERXD	O	108	POW1#	O
4	3.3V	―	39	GND	―	74	POW0#	I	109	TDI	I
5	GND	―	40	GND	―	75	GND	―	110	TDO	O
6	GND	―	41	protoIO28		76	GND	―	111	GND	―
7	GND	―	42	protoIO29		77	MICTOR0		112	GND	―
8	GND	―	43	protoIO30		78	MICTOR1		113	EOSC	O
9	protoIO0		44	protoIO31		79	MICTOR2		114	GND	―
10	protoIO1		45	protoIO32		80	MICTOR3		115	ECLKIN	O
11	protoIO2		46	protoIO33		81	MICTOR4		116	GND	―
12	protoIO3		47	protoIO34		82	MICTOR5		117	ECLKOUT	I
13	protoIO4		48	protoIO35		83	MICTOR6		118	GND	―
14	protoIO5		49	protoIO36		84	MICTOR7		119	GND	―
15	protoIO6		50	protoIO37		85	MICTOR8		120	GND	―
16	protoIO7		51	protoIO38		86	MICTOR9		121	CONF_DONE	O
17	protoIO8		52	protoIO39		87	MICTOR10		122	―	―
18	protoIO9		53	protoIO40		88	MICTOR11		123	3.3V	―
19	protoIO10		54	CARDSEL#	I	89	MICTOR12		124	3.3V	―
20	protoIO11		55	ULED0	O	90	MICTOR13		125	3.3V	―
21	GND	―	56	ULED1	O	91	MICTOR14		126	3.3V	―
22	GND	―	57	GND	―	92	MICTOR15		127	Vunreg	―
23	protoIO12		58	GND	―	93	GND	―	128	Vunreg	―
24	protoIO13		59	ULED2	O	94	GND	―	129	Vunreg	―
25	protoIO14		60	ULED3	O	95	MICTOR16		130	Vunreg	―
26	protoIO15		61	ULED4	O	96	MICTOR17		131	Vunreg	―
27	protoIO16		62	ULED5	O	97	MICTOR18		132	Vunreg	―
28	protoIO17		63	ULED6	O	98	MICTOR19		133	Vunreg	―
29	protoIO18		64	ULED7	O	99	MICTOR20		134	Vunreg	―
30	protoIO19		65	PB_RESET#	I	100	MICTOR21		135	Vunreg	―
31	protoIO20		66	USER_PB#0	I	101	MICTOR22		136	Vunreg	―
32	protoIO21		67	USER_PB#1	I	102	MICTOR23		137	GND	―
33	protoIO22		68	USER_PB#2	I	103	MICTOR24		138	GND	―
34	protoIO23		69	USER_PB#3	I	104	TR_CLK	O	139	GND	―
35	protoIO24		70	ERTS#	O	105	MICTOR_CLK	O	140	GND	―

電源関係を除き、全ての信号線の電気的レベルは 3.3V です。
ユニバーサルボードは、Altera 社の Nios(Ⅱ) Development Board Cyclone Edition に搭載されている各種 I/O の内、下記機能が搭載されており、それを実現するための信号が定義されています。
１：protoIO[39:0]は、Expansion Prototype Connector 用
２：MICTOR[24:0]、TR_CLK、MICTOR_CLK、TCK、TMS、TDI、および TDO は、JTAG デバッガ接続用
３：ETXD、ERXD、ERTS#、および ECTS#はシリアル通信用
４：ULED[7:0]は、ドット LED 用
USER_PB#[3:0]は、ボタンスイッチ用

表 12.2.2　拡張コネクタ信号配置（ユーザ独自の拡張ボードを設計する場合）

Pin No.	信号名／端子番号	I/O	Pin No.	信号名／端子番号	I/O	Pin No.	信号名／端子番号	I/O	Pin No.	信号名／端子番号	I/O
1	3.3V	―	36	U6	(*1)	71	Y12	(*1)	106	L19(TCK)	I
2	3.3V	―	37	T6	(*1)	72	W12	(*1)	107	L16(TMS)	I
3	3.3V	―	38	R6	(*1)	73	V12	(*1)	108	T12	(*1)
4	3.3V	―	39	GND	―	74	U12	(*1)	109	K18(TDI)	I
5	GND	―	40	GND	―	75	GND	―	110	L20(TDO)	O
6	GND	―	41	Y7	(*1)	76	GND	―	111	GND	―
7	GND	―	42	W7	(*1)	77	Y13	(*1)	112	GND	―
8	GND	―	43	V7	(*1)	78	W13	(*1)	113	50MHz	O
9	U1	(*1)	44	U7	(*1)	79	V13	(*1)	114	GND	―
10	R1	(*1)	45	T7	(*1)	80	U13	(*1)	115	L8(PLL1_OUTp)	O
11	V2	(*1)	46	R7	(*1)	81	T13	(*1)	116	GND	―
12	U2	(*1)	47	Y8	(*1)	82	Y14	(*1)	117	K6(CLK1)	I
13	T2	(*1)	48	W8	(*1)	83	W14	(*1)	118	GND	―
14	R2	(*1)	49	V8	(*1)	84	V14	(*1)	119	GND	―
15	W3	(*1)	50	U8	(*1)	85	U14	(*1)	120	GND	―
16	V3	(*1)	51	T8	(*1)	86	T14	(*1)	121	L18	O
17	U3	(*1)	52	Y9	(*1)	87	Y15	(*1)	122	―	―
18	T3	(*1)	53	W9	(*1)	88	W15	(*1)	123	3.3V	―
19	R3	(*1)	54	V9	(*1)	89	V15	(*1)	124	3.3V	―
20	Y4	(*1)	55	U9	(*1)	90	U15	(*1)	125	3.3V	―
21	GND	―	56	T9	(*1)	91	T15	(*1)	126	3.3V	―
22	GND	―	57	GND	―	92	W16	(*1)	127	Vunreg	―
23	W4	(*1)	58	GND	―	93	GND	―	128	Vunreg	―
24	V4	(*1)	59	R9	(*1)	94	GND	―	129	Vunreg	―
25	U4	(*1)	60	Y10	(*1)	95	V16	(*1)	130	Vunreg	―
26	T4	(*1)	61	W10	(*1)	96	U16	(*1)	131	Vunreg	―
27	R4	(*1)	62	V10	(*1)	97	T16	(*1)	132	Vunreg	―
28	W5	(*1)	63	U10	(*1)	98	Y17	(*1)	133	Vunreg	―
29	V5	(*1)	64	T10	(*1)	99	W17	(*1)	134	Vunreg	―
30	U5	(*1)	65	Y11	(*1)	100	V17	(*1)	135	Vunreg	―
31	T5	(*1)	66	W11	(*1)	101	U17	(*1)	136	Vunreg	―
32	R5	(*1)	67	V11	(*1)	102	T17	(*1)	137	GND	―
33	Y6	(*1)	68	U11	(*1)	103	W18	(*1)	138	GND	―
34	W6	(*1)	69	T11	(*1)	104	U18	(*1)	139	GND	―
35	V6	(*1)	70	R11	(*1)	105	L8(PLL1_OUTp)	O	140	GND	―

＊１：FPGA(EP1C20F400C7)の端子番号です。

電気的レベルは 3.3V ですが、LVTTL と LVCMOS がプログラマブルに設定が可能です。詳細は、Altera 社の Cyclone Device Handbook を参照してください。

１２．３．　拡張ボードの基板サイズ

拡張ボードの基板サイズは、μT-Engine の CPU ボードサイズ（85 ㎜×60 ㎜）と同等サイズを推奨します。

１２．４．　拡張ボードへの電源供給

μT-Engine から拡張ボードへ供給できる電圧と電流を表 12.4 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお表 12.4 の電流量は暫定値です。

表 12.4　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備考
3.3V	3.3V	500mA	
Vunreg	6.0V		AC アダプタ接続時にのみ供給可能

１２．５．拡張ボードのスタック数

拡張ボードのスタック数は、最大 2 枚です。

複数の拡張ボードをスタックする場合は、電流容量に注意してください。

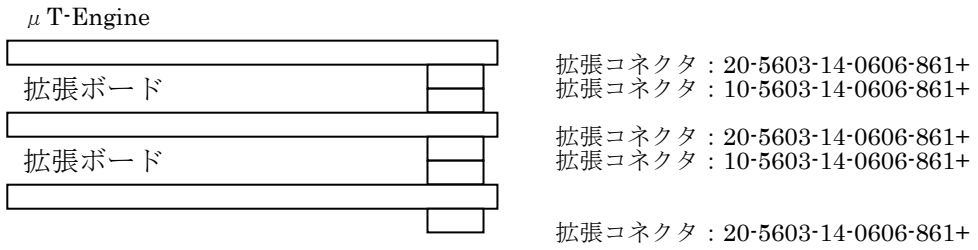


図 12.5　拡張ボードのスタック構成

■　第１３章　Ansel-Tea/FR T-Engine Appliance 拡張ボード設計ガイド

本章では、Ansel-Tea/FR T-Engine Appliance の拡張コネクタ経由で接続する拡張ボードの設計ガイドについて説明します。

ここで拡張ボードとは、ユーザ任意のデバイス等が搭載され、T-Engine 上の拡張コネクタに出力している Ansel-Tea/FR T-Engine Appliance のアドレスバス、データバス、および各種制御信号により制御可能なボードのことをいいます。

１３．１．T-Engine 拡張コネクタ仕様

T-Engine 実装コネクタ型式：ｘ0-5603-14-0105-861+（京セラエルコ）

適合コネクタ型名：10-5603-14-0105-861+（京セラエルコ）

図 13.1 に拡張コネクタの配置図を示します。

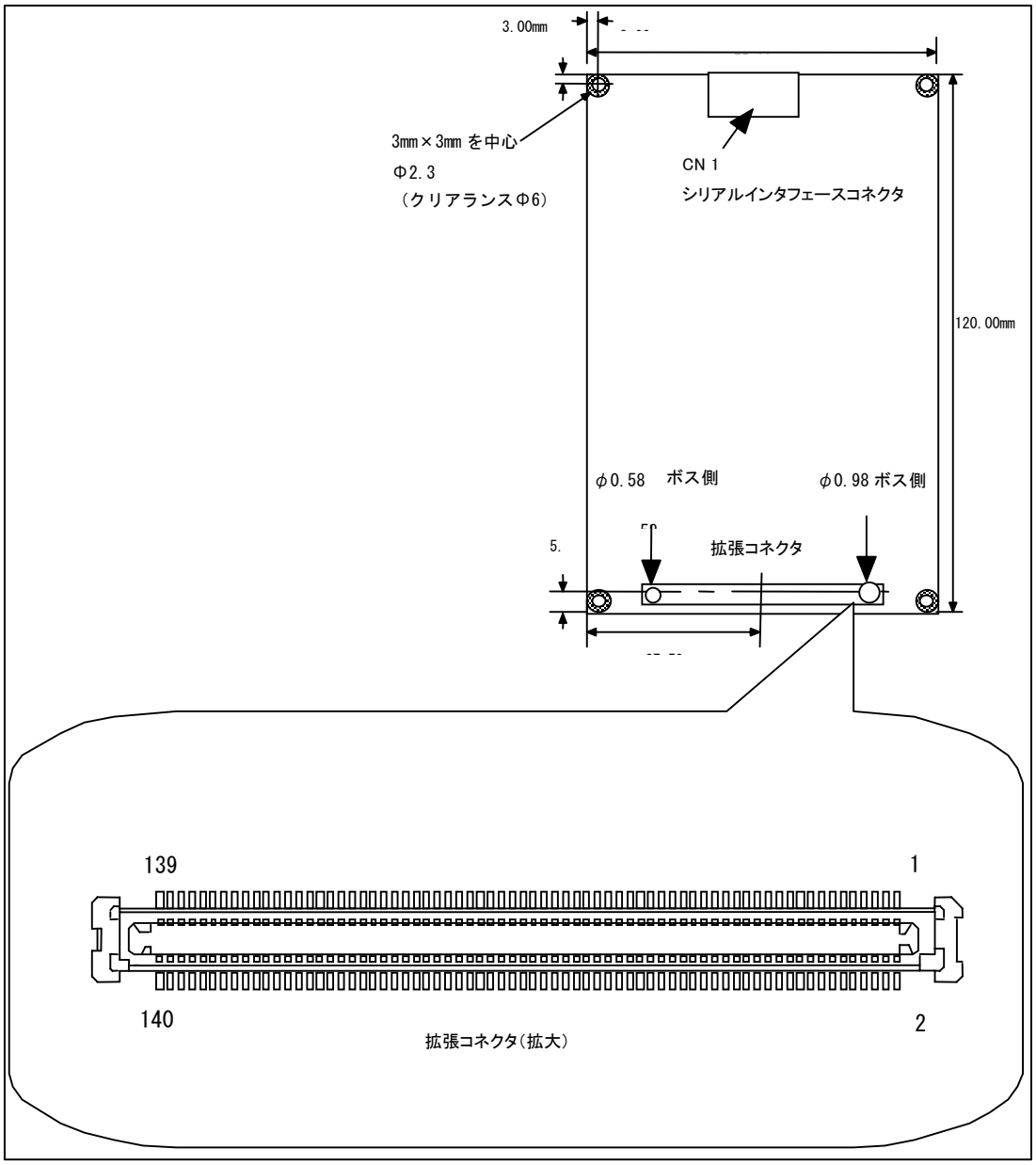


図 13.1　拡張コネクタの配置図

１３．２．　拡張コネクタ信号配置

表 13.2 に拡張コネクタ信号配置を示します。

本ボードには 140pin の外部拡張コネクタが搭載されています。コネクタにはアドレスバス、データバス、各種制御線、電源が出力されており、バッテリボード、LAN ボード、拡張 FPGA ボード、ユーザ独自のボードなどが接続可能です。以下にピン配置表を記載します。　（メーカー：京セラエルコ　型番：2x 5603 14 0105 861）

No.	信号名	I/O
1	EXB_5V	－
2	EXB_5V	－
3	EXB_5V	－
4	EXB_5V	－
5	EXB_5V	－
6	EXB_5V	－
7	D0	I/O
8	D1	I/O
9	D2	I/O
10	D3	I/O
11	D4	I/O
12	D5	I/O
13	D6	I/O
14	D7	I/O
15	D8	I/O
16	D9	I/O
17	D10	I/O
18	D11	I/O
19	D12	I/O
20	D13	I/O
21	D14	I/O
22	D15	I/O
23	GND	
24	GND	
25	D16	I/O
26	D17	I/O
27	D18	I/O
28	D19	I/O
29	D20	I/O
30	D21	I/O
31	D22	I/O
32	D23	I/O
33	D24	I/O
34	D25	I/O
35	D26	I/O

No.	信号名	I/O
36	D27	I/O
37	D28	I/O
38	D29	I/O
39	D30	I/O
40	D31	I/O
41	GND	
42	GND	
43	A0	OUT
44	A1	OUT
45	A2	OUT
46	A3	OUT
47	A4	OUT
48	A5	OUT
49	A6	OUT
50	A7	OUT
51	A8	OUT
52	A9	OUT
53	A10	OUT
54	A11	OUT
55	A12	OUT
56	A13	OUT
57	A14	OUT
58	A15	OUT
59	GND	
60	GND	
61	A16	OUT
62	A17	OUT
63	A18	OUT
64	A19	OUT
65	A20	OUT
66	A21	OUT
67	A22	OUT
68	A23	OUT
69	CS0#	OUT
70	CS1#	OUT

No.	信号名	I/O
71	CS2#	OUT
72	CS3#	OUT
73	WE1#	OUT
74	R/W	OUT
75	GND	－
76	GND	－
77	CLK	OUT
78	BE2#	OUT
79	GND	－
80	BE3#	OUT
81	OE#	OUT
82	RESERVED	
83	BREQ#	I
84	BACK#	O
85	BE0#	O
86	BE1#	O
87	WAIT#	I
88	DEOT#	O
89	DREQ0#	I
90	DREQ1#	I
91	DACK0#	O
92	DACK1#	O
93	GND	－
94	GND	－
95	N.C.	
96	FPTOUT0	O
97	N.C.	
98	FPTOUT1	O
99	N.C.	
100	FPTOUT2	O
101	N.C.	
102	N.C.	
103	N.C.	
104	N.C.	
105	N.C.	

No.	信号名	I/O
106	N.C.	
107	GND	－
108	GND	－
109	N.C.	
110	N.C.	
111	FWEX	O
112	N.C.	
113	N.C.	
114	N.C.	
115	N.C.	
116	VTref	
117	N.C.	
118	BATTERY_SIO	I/O
119	N.C.	
120	advise_EME	I
121	GND	－
122	GND	－
123	INT	I
124	nRESETO	O
125	PORST#	O
126	RTCK	O
127	RESET#	O
128	TRST#	I
129	TCK	I
130	TMS	I
131	TDI	I
132	TDO	O
133	VBAT	－
134	VBAT	－
135	VBAT	－
136	VBAT	－
137	GND	－
138	GND	－
139	GND	－
140	GND	－

表 13.2　　拡張コネクタ信号配置

＊１：DipSW または割当てられている I/O ポートを操作すると 5.0V(typ.)の電源が供給されます。

＊２：バッテリボードからの入力用途です。3.6～5.25V を入力すると、本体が動作します。

１３．３．拡張ボードを拡張できるエリア

表 13.3 に Ansel-Tea/FR に搭載されている MB91403 のメモリマップを示します。
拡張ボードは、表 13.3 に示すとおり、CS6X 領域のエリアに拡張可能です。

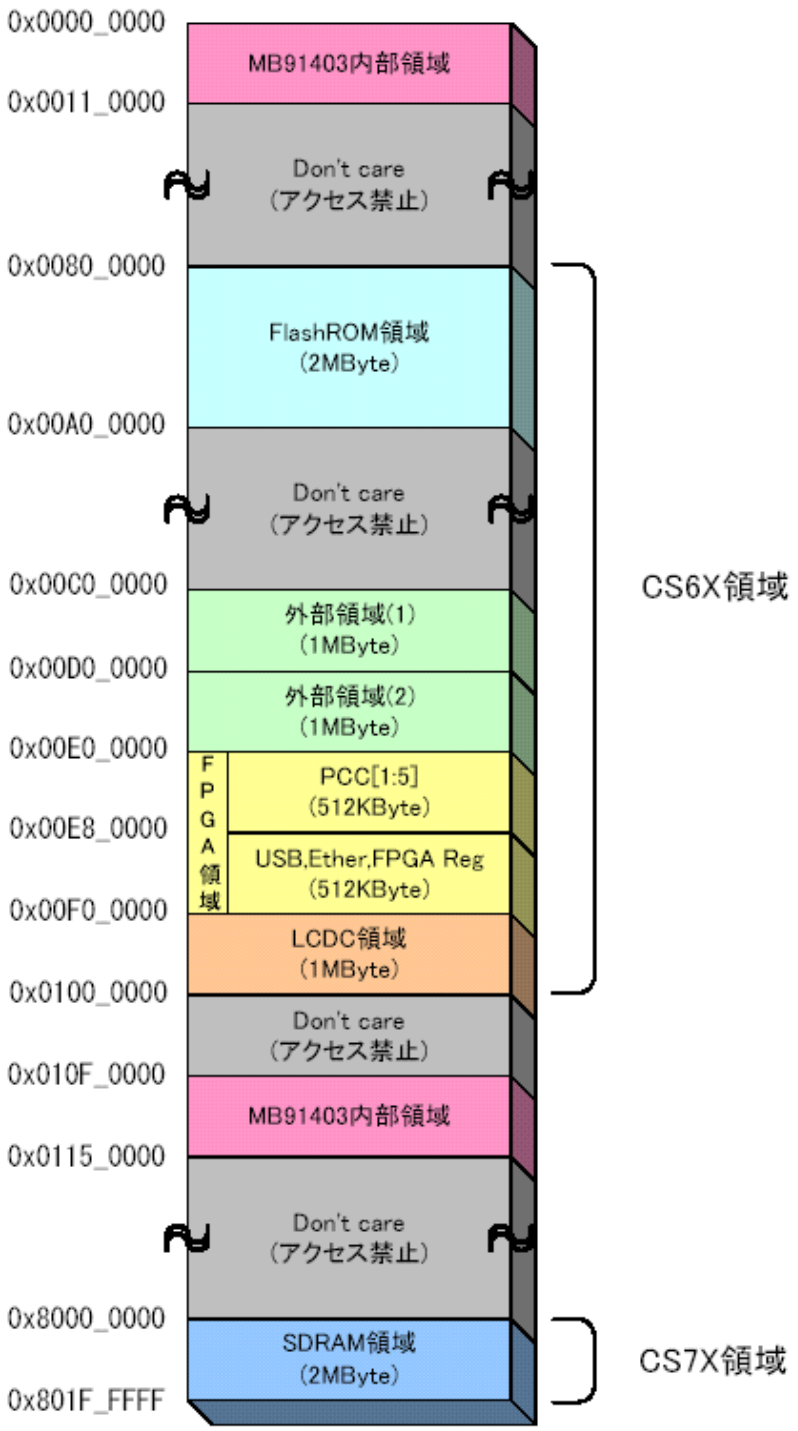


表 13.3　MB91403 のメモリマップ

１３．４．拡張ボードへの電源供給

T-Engine から拡張ボードへ供給できる電圧と電流を表 13.4 に示します。拡張ボードが電流量を超える場合には、拡張ボード上に電源供給手段を設ける必要があります。

なお、本体の消費電力を 2W 以内、AC アダプタの出力を 5.0V、2.0A として算出しています。表 13.4 の電流量は参考値です。保証値ではありません。

表 13.4　拡張ボードへ供給できる電圧と電流

拡張コネクタ信号名	出力電圧	許容電流量	備考
EXB 5V	5.0V	1400mA(*1)	AC アダプタ使用時
EXB 5V	5.0V	370mA(*1)(*2)	バッテリボード使用時

１：USB ホストコントローラをバスパワーで駆動している場合、および、PC Card に 5V 品を使用している場合はその電流量を引いてください。

２：バッテリボード(TTZ101-003)から 0.5A の電流供給を想定して算出しています。本体ボードとの消費のバランスによって変化します。VBAT 端子にバッテリボード以外の電源を接続する場合はその電源容量によります。

１３．５．拡張ボードからの割り込み入力

図 13.5 は Ansel-Tea/FR のコアボードとベースボード、およびベースボードに接続された拡張ボードについて、割込みの接続構成を示します。

MB91403 には、割込み入力端子が 2 本用意されており、ベースボード上の FPGA から入力される割込み(INT7)および拡張ボードからの割込み(INT6)をそれぞれ１本ずつ割り当てています。

割込み制御の詳細については、MB91403 の割込み仕様を参照してください。

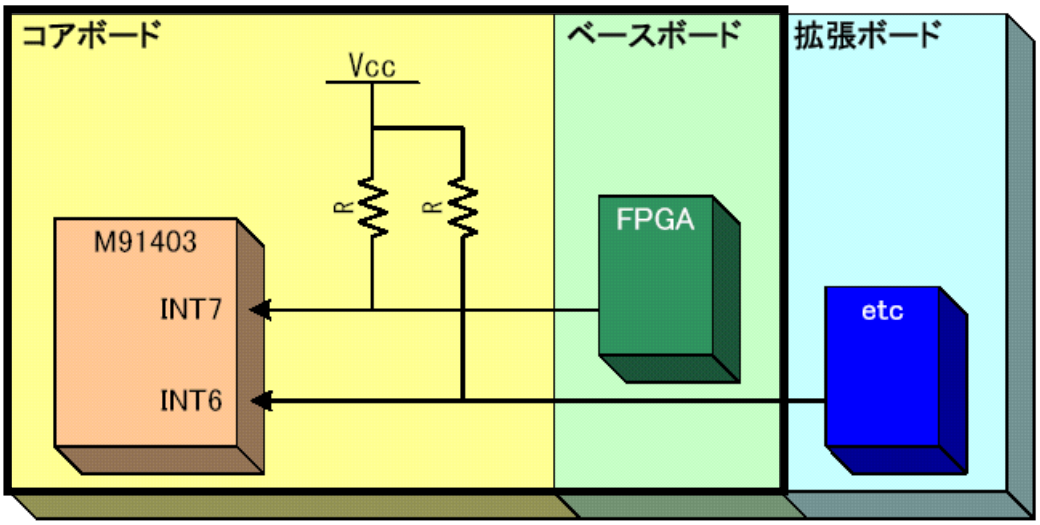


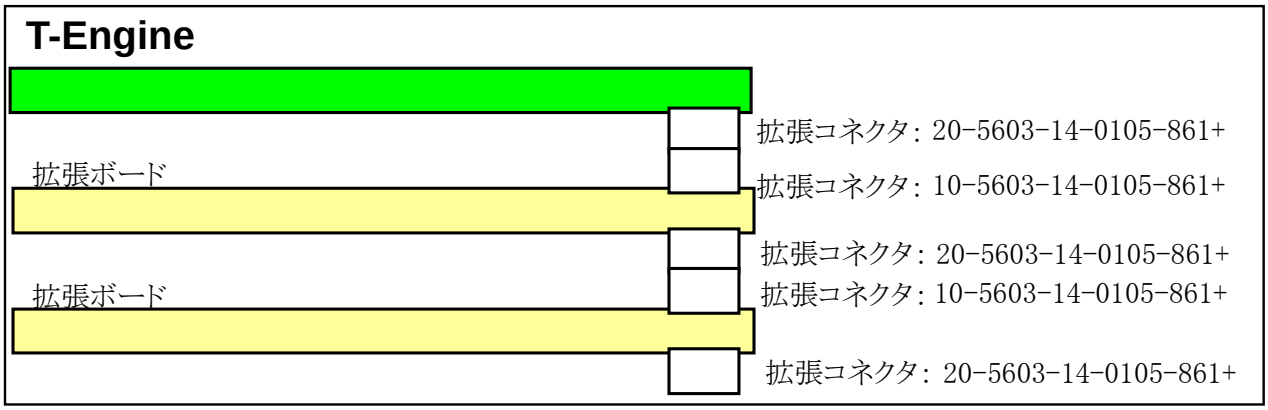
図 13.5　Ansel-Tea/FR の割込み信号の接続構成

１３．６．拡張ボードのスタック数

複数の拡張ボードをスタックする際は、電源容量に注意してください。

図 13.6 に拡張ボードのスタック構成を示します。

図 13.6 拡張ボードのスタック構成



１３．７．/WAIT 入力

T-Engine には、拡張ボードの/WAIT 入力用として、拡張コネクタに 1 本の/WAIT 入力端子を設けています。拡張ボードから WAIT を出力する場合には、複数の拡張ボードをスタックした際の/WAIT 出力の衝突を防ぐために、オープンコレクタ出力としてください。

なお、T-Engine 側の/WAIT 端子は、680Ωでプルアップしています。図 13.7 に拡張コネクタの/WAIT 端子の構成図を示します。

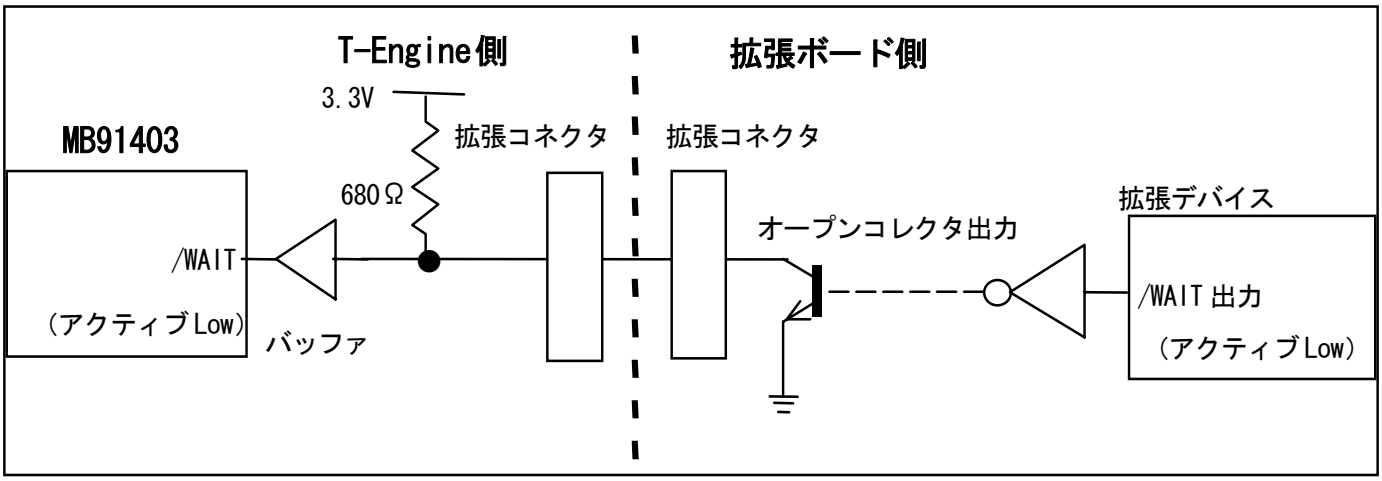


図 13.7　拡張コネクタの/WAIT 端子の構成図

１３．８．AC タイミングについて

図 13.8.1 に拡張コネクタに出力している MB91403 のバス信号の概略を示します。本ボードでは拡張コネクタへのバスバッファは省略し、直結となっています。

図 13.8.2 に MB91403 の基本バスタイミングを示します。

なお、MB91403 のバスタイミングの詳細については、MB91403 のマニュアルを参照してください。

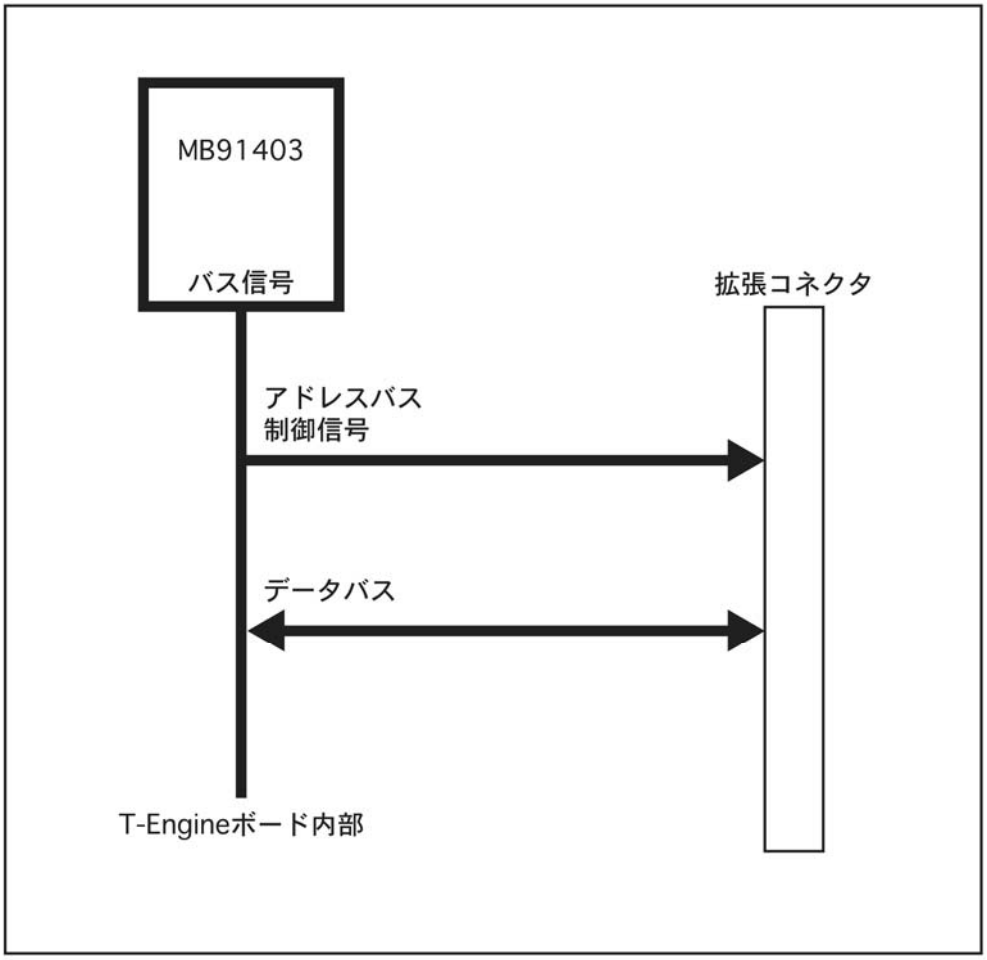


図 13.8.1　拡張コネクタのバスバッファ構成

AC タイミング

(1) 通常メモリアクセス

項目	記号	端子	基準タイミング	規格値		単位	備考
				最小	最大		
アドレス遅延時間	tchav	MEMA[23:0]	MCLKO ↑	−	tcycp/2+7	ns	
CSX遅延時間	tchcsl	MEMCSX[2:0]	MCLKO ↑	−	tcycp/2+7	ns	
CSX遅延時間	tchcsh	MEMCSX[2:0]	MCLKO ↑	−	tcycp/2+7	ns	
WRX遅延時間	tchwrl	MEMWRX[3:0]	MCLKO ↑	−	9	ns	
WRX遅延時間	tchwrh	MEMWRX[3:0]	MCLKO ↑	−	9	ns	
データ遅延時間	tchdv	MEMD[31:0]	MCLKO ↑	−	tcycp/2+7	ns	
RDX遅延時間	tchrdl	MEMRDX	MCLKO ↑	−	9	ns	
RDX遅延時間	tchrdh	MEMRDX	MCLKO ↑	−	9	ns	
データセットアップ	tdsrh	MEMD[31:0]	MCLKO ↑	19	−	ns	
データホールド	trhdx	MEMD[31:0]	MCLKO ↑	−1	−	ns	

※ tcycp は、外部メモリクロックサイクル期間です。

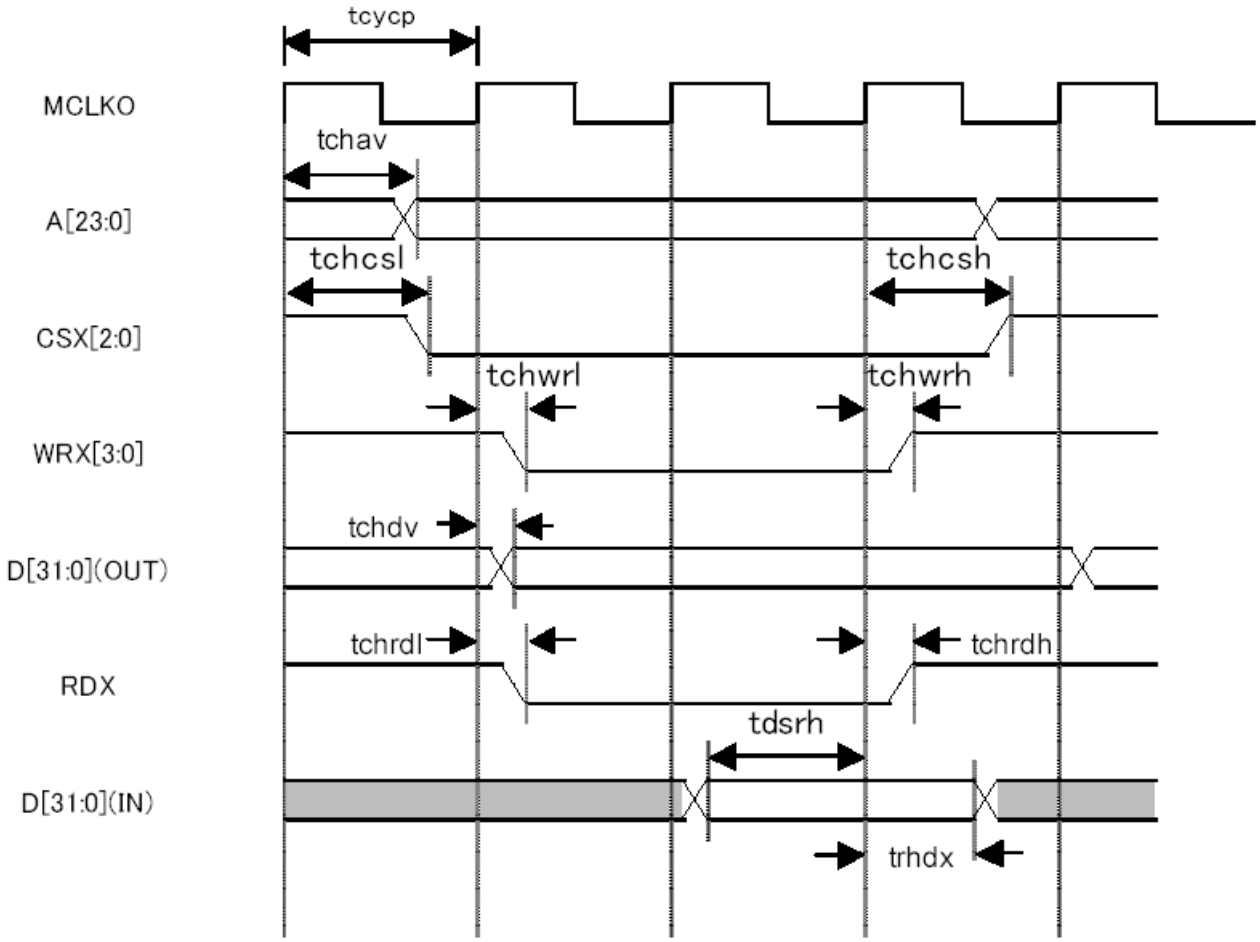


図 13.8.2　MB91403 の基本バスタイミング

T-Engine 拡張ボード設計ガイドライン（Ver.1.00.01）

TEF010-S007-01.00.01/ja

2009 年 6 月

Copyright © 2007-2009 by T-Engine Forum.

本仕様書の著作権は、T-Engine フォーラムに属しています。

本仕様書の内容の転記、一部複製等には、T-Engine フォーラムの許諾が必要です。

本仕様書に記載されている内容は、今後改良等の理由で断りなしに変更することがあります。

本仕様書に関しては、下記にお問い合わせください。

T-Engine フォーラム事務局

〒141-0031 東京都品川区西五反田 2-20-1 第 28 興和ビル
YRP ユビキタス・ネットワーキング研究所内
TEL：03-5437-0572　FAX：03-5437-2399
E-mail：office@t-engine.org